

インピーダンスソースインバータへの高性能デバイス適用に関する研究

著者	飯嶋 竜司
発行年	2019
学位授与大学	筑波大学 (University of Tsukuba)
学位授与年度	2018
報告番号	12102甲第8963号
URL	http://doi.org/10.15068/00156628

インピーダンスソースインバータへの 高性能デバイス適用に関する研究

飯嶋 竜司

2019年2月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

インピーダンスソースインバータへの
高性能デバイス適用に関する研究

飯嶋 竜司

電子・物理工学専攻

目次

第 1 章	序論	1
1.1	研究背景	1
1.2	本研究の目的と構成	5
第 2 章	インピーダンスソースインバータ	7
2.1	2 章の概要	7
2.2	ZSI の位置づけ	7
2.3	ZSI の昇圧動作	10
2.4	三相 ZSI の変調方式とスイッチングパターン	13
2.5	インピーダンスソースを有する電力変換器	19
2.6	従来システムに対する ZSI の課題	27
2.7	2 章のまとめ	29
第 3 章	上下短絡動作によるボディダイオード無通電運転	30
3.1	3 章の概要	30
3.2	ZSI のボディダイオード無通電運転によって得られる効果	30
3.3	上下短絡動作によるボディダイオード無通電運転の原理	35
3.4	SVM 方式に基づいたボディダイオード無通電運転	37
3.5	実験による検証	39
3.6	3 章のまとめ	45
第 4 章	上下短絡動作の最適化	46
4.1	4 章の概要	46
4.2	1 レグ短絡と 3 レグ短絡	46
4.3	計算による 1 レグ短絡と 3 レグ短絡のデバイス電流の比較	47
4.4	ダブルパルス試験による 1 レグ短絡と 3 レグ短絡のスイッチング特性の比較	51
4.5	QZSI 上での上下短絡方式の違いによるデバイス損失の比較	57
4.6	4 章のまとめ	61
第 5 章	Si-SJ-MOSFET を搭載した高効率 QZSI	62
5.1	5 章の概要	62
5.2	Si-SJ-MOSFET と QZSI	62
5.3	検証条件と回路設計	66
5.4	実験による検証と損失解析	74
5.5	5 章のまとめ	82

第 6 章	インダクタ小型化のための最適制御	83
6.1	6 章の概要	83
6.2	従来のインダクタの小型化にむけた検討	83
6.3	上下短絡区間の配分の最適化による受動部品のリプルの低減	85
6.4	従来制御との比較	88
6.5	実験による検証	92
6.6	提案制御によるインダクタの小型化	98
6.7	6 章のまとめ	99
第 7 章	結論	100
参考文献		103

第 1 章

序論

1.1 研究背景

環境・エネルギー問題の解決の手段として、化石燃料に代わる再生可能エネルギーの活用、二酸化炭素の排出の主たる原因の一つである自動車をはじめとするモビリティの電動化に大きな期待が寄せられている。これらの普及と更なる発展のためには、再生可能エネルギーを用いた発電においては、発電効率の向上と設置自由度の改善、分散電源等の各電源の特性に合わせた新たな運用形態の実現が求められる。電気自動車をはじめとする電動モビリティには、航続距離の延長や駆動系の設計の自由度を活かした車体構造の提案による新たな価値の創造が必要である。その実現の鍵となるのが、電力を自在に変換するパワーエレクトロニクス技術である。

パワーエレクトロニクス技術は、モータなどの電力機器や回路技術、電流の ON/OFF を行うパワーデバイス (デバイス)、それらを統合する制御技術から構成される。特にデバイスの高性能化は、回路技術と制御技術の発達を促し、パワーエレクトロニクス全体の発展と応用の拡大に大きく貢献してきた。デバイスの低オン抵抗化と高耐圧化は、電力変換器の大容量化と低損失化を促し、スイッチング速度の向上は、高周波駆動による電力変換器上のフィルタ等を構成する受動部品の小型化を可能にした。同時に、デバイスの大容量化と高周波駆動の課題となる発熱やサージ電圧・電流、ノイズの低減を目指して、デバイスの実装方法や駆動回路の提案が行われてきた。また、デバイスの高周波駆動への対応は、高速な演算や同時処理を得意とする DSP や FPGA の登場と共に、複雑なゲート信号の出力やセンサーから得られる瞬時値に基づく応答性の高い制御方法の実装を可能にした。このことは、モータドライブや系統連系インバータにおける応答性の向上による高速モータ搭載や、連系インダクタの小型化の実現、マトリクスコンバータをはじめとする新たな回路方式の誕生、パワーデカップリング技術に代表される制御を活かした電力変換器の小型化を可能にした。

そして近年、半導体技術の進歩によって実現した高電界破壊強度を持つワイドバンドギャップ材料である SiC(炭化ケイ素) や GaN(窒化ガリウム) を用いた SiC-MOSFET や GaN-HEMT や、微細加工技術による Superjunction 構造を用いた Si-SJ-MOSFET は、従来 Si-IGBT に対して更なる低オン抵抗化と高速スイッチングが可能であり、パワーエレクトロニクスを用いたシステムの更なる高効率化と高出力密度化を可能にするデバイスとして期待されている。一方、高性能デバイスは優れた特性を有しながら、その優れた特性の源となる材料や構造に起因した課題を有する。これらの課題は、デバイス単体の解決は困難であると同時に、搭載される回路動作原理と深く結びついており、それによる損失の増加やデバイスの劣化、搭載そのものが困難な回路方式も存在する。しかし、これらの優れたデバイスの課題が解決されるのを単に待っているのでは、デバイスの産業や社会への投入が遅れるだけでなく、デバイスそのものの開発、ひいてはパワーエレクトロニクス全体の停滞を招きかねない。新たな材料や構造を適用した多様なデバイスが実現可能になった今こそ、従来デバイスからの置き換えによる性能向上や、優れた特性を持つデバイスとしての成熟を待つのではなく、デバイス・回路・制御を融合させ、互いの課

題を補い、その性能を引き出しあうシステムの提案が、より高い次元での電力変換器の高効率化と高出力密度化の実現には必要である。

冒頭で述べた再生可能エネルギー発電や電動モビリティには、DC から AC への変換を担うインバータを中心とする電力変換システム (インバータシステム) が搭載されている。インバータシステムは、バッテリーや太陽電池をはじめとする直流電源からモータ駆動や系統連系に必要な所望の周波数と振幅を持つ交流電圧・電流波形の生成を担う動作の要となる技術である。従って、インバータシステムの高効率化と高出力密度化がアプリケーション全体に与える影響は非常に大きく、その性能向上に向けた検討が行われている。図 1.1 に、現在幅広く用いられているインバータシステムを示す [1,2]。このシステムは2つの変換器から成り、入力された電圧を昇圧・安定化する DC-DC コンバータ (DC-DC) と、得られた直流電圧から交流波形を生成する電圧型インバータ (VSI) が接続される。VSI 前段に DC-DC を設け入出力電圧の範囲を広げることは、VSI 単体に比べて、システムの運転範囲拡大と高効率化、高出力密度化を実現する事ができる。車両などのモータドライブでは、モータの高速回転による小型化と低損失化によるシステム全体の高効率化と高出力密度化が可能になる [1,2]。系統連系インバータでは、出力電圧に対して入力電圧が低い条件下でも運転を可能とすることで、適用可能条件を拡大することが出来る。そして、搭載するデバイスの高性能化は、変換効率の向上と冷却器や昇圧動作に必要な受動部品の小型化による高出力密度化を可能にする。しかし、従来システムの構成や動作原理は、上記で述べた高性能デバイスのもつ課題と大きく関わっており、高性能デバイスの搭載やその性能の発揮することを妨げる場合がある。以下に従来システムの持つ3つの課題と高性能デバイスの特性との関係を述べる。

1つ目の課題は、必要とするデバイスの個数が多いことである。従来システムでは、VSI に加えて D-DC を構成するために、新たなパワーデバイスとそれを駆動するための周辺回路が必要である。部品点数の増加は、システムの実装面積やコストの増加に反映される。高性能デバイスの中でもワイドバンドギャップデバイスは、製造上コストを抑えることがまだ充分に出来ていない [3]。デバイスを多用する従来システムの構成は、高性能デバイスの適用する際の制約となる。

2つ目の課題は、回路の上下短絡によるデバイスの破壊である。図 1.1 で示したように、従来システムの DC-DC や VSI は上下のデバイスをスイッチングすることにより電力変換を行う。そのため、誤って上下のデバイスが同時に ON 状態となると電圧源が短絡され大電流が流れ、デバイスの破壊に至る。高性能デバイスは、端子間の寄生容量が小さいため、低損失かつ高速なスイッチング動作を可能とする。それは同時にスイッチングに生ずる急峻な di/dt や dv/dt を生むと共に、自らもその影響を受け誤ターンオンが生じやすいことを意味する [4,5]。回路の上下短絡を防ぐためには、原因となる di/dt や dv/dt を抑えるためにスイッチング速度を制限せざるえない。また、短絡事故時に生ずる事故電流は、デバイス

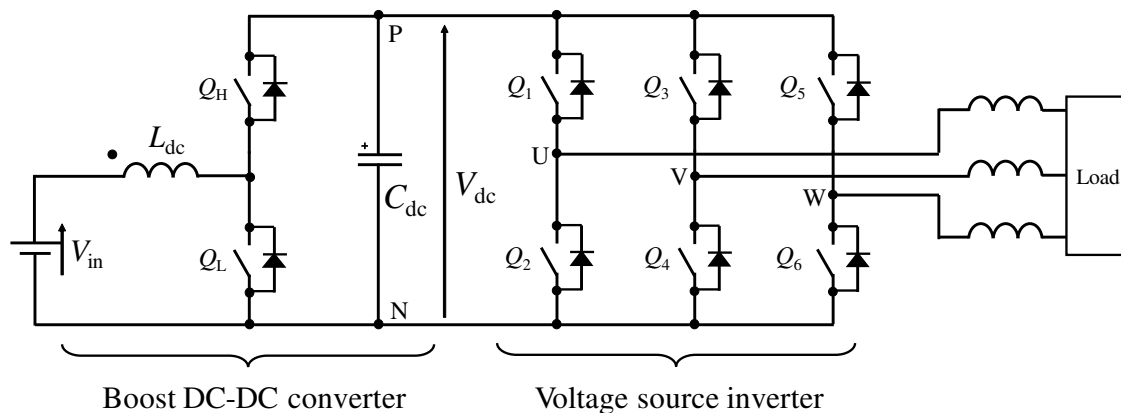


図 1.1 昇圧用 DC-DC コンバータと電圧型インバータからなる従来のインバータシステム

の低抵抗化に伴って増加する傾向にある。そのため、低オン抵抗化と破壊耐量とのトレードオフも考慮されなければならない。それゆえ、従来システムは、高性能デバイスの優れたスイッチング特性や導通特性を活かすことが困難である。

3つ目の課題は、デッドタイムをはじめとするデバイスに還流動作を生じさせる区間が存在することである。VSI では、上下のスイッチングパターンを切り替える際にノイズやパワーデバイスの駆動の遅延によるレグの上下短絡を防ぐために、上下のデバイスを OFF 状態とするデッドタイムが挿入される。この際、負荷電流の経路は、デバイスの還流ダイオードを介して確保される。DC-DC においても、昇圧・降圧動作の際、一方のデバイスに制御サイクルの半分近くの区間で還流ダイオードへの通電が発生する。高性能デバイスの中でも、MOSFET 構造のデバイスは、内部構造上デバイスに寄生するダイオード（ボディダイオード）を持っており、還流動作に必要な逆導通特性を実現することが可能である。しかし、SiC-MOSFET のボディダイオードへの通電は、チャネル導通に比べて導通損失が増加するだけでなく、素子内部で結晶欠陥が成長し、素子特性が劣化する順方向劣化が存在しており、信頼性の面で大きな課題になっている [3, 6–8]。Si-SJ-MOSFET では、低オン抵抗化を担う内部構造によって、ボディダイオードがターンオフする際に、損失の増加や素子破壊につながる過大な逆回復電流が生ずる [4, 9]。これらの課題は、パワーデバイスの材料や動作原理に起因するものであり、パワーデバイス単体での改善は困難である。現状の対策として、劣化が生じず逆回復電流の少ないダイオードを新たに MOSFET に並列接続や、逆回復現象を打ち消すための補助回路の接続が提案されている。しかし、これらは、デバイスの寄生容量増加によるスイッチング特性の悪化や、部品点数や実装面積の増加につながる [10]。従って、原理的にデッドタイムを含む還流ダイオードの動作を回路上から除去することが出来ない従来インバータでは、高性能デバイスの能力を活かすことが出来ず、実装そのものが困難である。

以上のように従来インバータシステムでは、システムと高性能デバイスが原理的に持つ課題が重なり合い、互いの性能を活かせない状態にある。高性能デバイスの適用によるインバータシステムの更なる高性能化には、これまでの追加部品の付加によって行われてきた対症療法的な対策ではなく、システムから高性能デバイスの適用を阻む根本的な課題を取り除き、高性能デバイスの特性を活かすことが出来る新たなシステムの実現が必要である。従来のデバイスの低オン抵抗化と高速スイッチング化は、常に搭載する VSI や DC-DC における上下短絡等で生ずる過剰な電流・電圧や、ボディダイオードへの通電をはじめとする回路上でデバイスに生ずるトラブルや負担が生ずる場面に対しても、耐量や信頼性を保てるように設計開発が行われてきた。特に高性能デバイスは、低オン抵抗化とスイッチング性能を高めるために、デバイス電流密度や発熱密度が増加しており、耐量を維持しつつ高性能化を行っていくことが難しくなっている [11, 12]。デバイスの特性を活かしたインバータシステムの実現は、これまでのデバイスの高性能化の制約となってきた回路やシステムの課題を取り除くことで、デバイスの性能と信頼性のトレードオフのレベルを引き上げることに繋がる。これは、システムに特化した新たな高性能デバイスの開発を可能にし、従来のデバイスの進化を待つパワーエレクトロニクスから、回路やシステムが新たなデバイスの誕生を促す、新たな可能性を切り開くうえでも重要な意味を持つことになる。

そして、上記で述べた従来システムの持つ、デバイスの増加、上下短絡の危険、デッドタイム、の課題を一度に解決する回路方式として、上下短絡動作によって昇圧とインバータ動作を融合したインピーダンスソースインバータが注目されている。インピーダンスの記号が Z であることに由来して Z ソースインバータ (ZSI) と呼ばれるこの方式は、図 1.2 に示すように、VSI の直流側にインダクタ、コンデンサ、ダイオードからなるインピーダンスソースを有する。この方式では、制御サイクル中でインバータ部分を短絡させることで昇圧動作を行うことが出来るため、昇圧動作に必要なデバイスを削減出来る。また、上下短絡動作が回路動作に組み込まれているため、ノイズや高速スイッチングによる上下短絡によってデバイスに過大な電流が流れることがなく、スイッチングパターンの切り替え時にもデッドタイムを必要としない。

ZSI のこれらの動作の特徴から、上下短絡動作を利用することによって、MOSFET 構造を持つ高性能デバイスの搭載を最も妨げてきたボディダイオードへの通電を回避することが出来ると考えられる。こ

れにより，SiC-MOSFET や SJ-MOSFET を搭載によるインバータシステムの高性能化が実現できると期待できる。しかし，ZSI に関する研究は，他の回路方式への応用や新たなインピーダンスソースの提案，制御パターンの変形によるインピーダンスソースの小型化を目指しているものが中心である [13,14]。ZSI 特有の上下短絡動作をデバイスの特性を活かすために使うという観点での ZSI の研究は行われていない。また，ZSI が高性能デバイスを適用した上で，従来システムに対して，効率や出力密度の面でどのような位置づけになるのかについても，デバイスの特性を活用することが出来る電力変換システムの持つ可能性を明らかにするためにも検討が必要である。

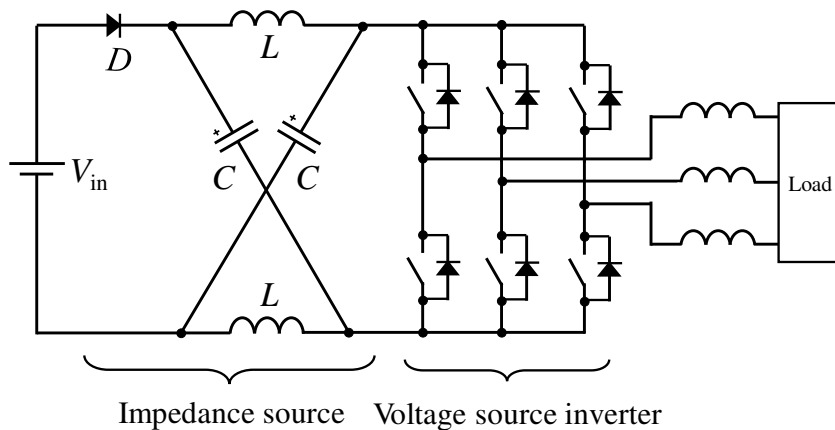


図 1.2 インピーダンスソースインバータ

1.2 本研究の目的と構成

本研究の目的は、電力変換器の高い次元での高効率化と高出力密度化において、デバイス・回路・制御を融合させ、互いの課題を補い、その性能を引き出しあうインバータシステムを提案することである。この目的を達成するために、高性能デバイスの特性を活かしたインバータシステムを実現する方法として、上下短絡動作によって昇圧・インバータ動作を融合したインピーダンスソースインバータ (ZSI) を提案する。

この提案に対する研究を進めるにあたり主に2つのことに着目した。

1つ目は、ZSIをデバイス特性を活かすことができるインバータシステムとするための技術確立することである。ZSIでは、従来VSIで禁止されてきた上下短絡動作を昇圧動作とし手回路動作に取り込んでいる。そのため、従来システム上のDC-DCにおいて必要とされていたデバイス個数を削減するだけでなく、上下短絡による回路の破壊や、デッドタイムが不要となる。よって、ZSIはこれまでVSIにおいて高性能デバイスを搭載する際に課題となっていた、デバイス数の増加、上下短絡による破壊、そしてデッドタイムにおけるボディダイオードの導通を回路動作から全て除去する事が可能になることが期待できる。これらの動作を実現するためのZSIの制御方法を明らかにすることで、ZSIをデバイス特性を活かすことができるインバータシステムとするための技術確立する。

2つ目は、提案するZSIの従来システムに対する提案の位置づけと、更なる高性能化のために必要な要素を明らかにすることである。ZSIは、機能融合に伴い、従来システムに比べて受動部品の個数やデバイスにかかる電圧・電流が増加する傾向にある。これらの要素は、損失や体積を増加させる方向に働くと考えられる。ZSIのデバイスの課題に対して働き掛ける動作だけでなく、ZSIの特徴に起因する損失や体積を決定する要因を明らかにすることは、従来システムに対する提案の位置づけを明確にする共に、今後ZSIの更なる高性能化のために必要な要素を決定することにつながる。

以下に本論文の構成と各章の概要を示す。

第1章 序論

電力変換器の更なる高性能化には回路とデバイスが互いの性能を引き出しあうシステムが必要である。しかし、現状のDC-DCとVSIから成る従来インバータシステムでは、回路と高性能デバイス課題が深く関わっており、高性能デバイスの性能を引き出すことが出来ていない。これらの背景を述べつつ、本研究の提案である上下短絡動作を有するZSIによる高性能デバイスの特性の活用について、その着眼点と研究の位置づけを概説した。

第2章 インピーダンスソースインバータ

本研究で取り扱うZSIの基本的な動作原理、及びこれまでに提案されてきたZSIの制御方式および回路方式について、その特徴をまとめる。そして、本研究で採用したZSIの方式である電流連続型QZSIの特徴と、ZSIと従来システムを比較した際のZSIの持つ課題について整理する。

第3章 上下短絡動作によるボディダイオード無通電運転

本研究の中心となる、QZSIの上下短絡動作によるボディダイオードの無通電運転動作を検証する。SiC-MOSFETを搭載したQZSIを用いて、必要とされるの制御方法の検討を行う。上下短絡動作をスイッチングパターン変更の度に挿入する制御方法を提案し、その際の各スイッチングパターンの導出方法を検討する。さらに、実機を用い、動作しているSiC-MOSFETの動作点をSiC-MOSFETの V_{ds} - I_d 特性上に描き、提案制御を用いたQZSI上では、SiC-MOSFETのボディダイオードに通電が生じないことを明らかにする。

第4章 上下短絡動作の最適化

ボディダイオードの通電回避を行いつつ、MOSFETを搭載したQZSIの低損失化および高周波駆動を可能とするために上下短絡動作時のスイッチングパターンの最適化を行う。代表的な

2 種類の上下短絡動作について、導通損失とスイッチング損失の観点から評価を行う。そして SiC-MOSFET を適用した QZSI の損失解析の結果から、各評価の妥当性と損失を低減するための最適な上下短絡時のスイッチングパターンを決定する。

第 5 章 Si-SJ-MOSFET を搭載した高効率 QZSI

上記の制御手法を用いて、高性能デバイスを搭載した QZSI と、従来インバータシステムとの性能の比較を行い、提案方式が有効な領域とその要因を明らかにする。この検討では、高性能デバイスとして、従来インバータでは適用できなかった Si-SJ-MOSFET を適用した QZSI を試作し、Si-IGBT を用いた従来インバータシステムと、各昇圧比、出力電力における損失解析と比較を行った。

第 6 章 インダクタ小型化のための最適制御

5 章における QZSI と従来システムとの比較から、現状の制御方式を適用した場合、インダクタの体積が従来方式に比べて増加することが明らかになった。そこで、制御によるインダクタ電流のリプル低減を検討する。提案する制御では、上下短絡回数を変えずに実行時間の配分を電流リプルが最小化するように各上下短絡時間を最適化する。これにより、従来の制御に比べて、スイッチング損失を増加させることなく、電流リプルを 27.8% 低減することが可能である。3 kW 級の実機を用いた実験において、この制御方式の有効性を確認する。この成果を先の Si-SJ-MOSFET を用いた QZSI に適用した場合、従来方式と同程度までインダクタの体積を削減できる。

第 7 章 結論

第 2 章から第 6 章までの解析と実験結果を基に、ZSI へ的高性能デバイスの適用に関する本論文の研究成果をまとめる共に、今後検討すべき内容について示す。

第 2 章

インピーダンスソースインバータ

2.1 2 章の概要

2 章では、ZSI の基本的な原理と共に研究状況について述べる。はじめに、従来用いられてきたインバータ回路である電圧型インバータ、電流型インバータに対する ZSI の特徴を述べる。次に、特徴である上下短絡動作による昇圧動作を担うインピーダンスソースの動作について述べる。そして研究の対象である三相 ZSI について、これまでに提案されている昇圧とインバータ動作を制御するための変調およびスイッチングパターンについて述べ、今回の研究において着目する高性能デバイスの適用に対して、検討すべき項目を整理する。そして、回路の面からもこれまでに報告されている ZSI を含むインピーダンスソースを適用した回路方式およびインピーダンスソースの分類について概要を述べる。最後にそれらの方式の中から、今回の研究において、高性能デバイスを実装する上で構造的に従来の ZSI に比べて適すると考えられる QZSI 方式について、その特徴を述べる。

2.2 ZSI の位置づけ

ZSI はミシガン州立大学教授の Fang Zheng Peng 氏によって発表されたインバータの回路方式である。2002 年の 37th IAS Annual Meeting において発表 [15]、2003 年には IEEE Transactions on Industry Applications において出版されている [16]。2002 年の発表以来、回路方式、制御方式の面で多くの発表が行われており、2012 年時点では、年間 154 件の発表と 133 の論文が投稿がなされていた [14]。また、2019 年に開催された IEEE-ICIT 2019 では、インピーダンスソースを用いた変換器の特別セッションが設けられており、ZSI は、パワーエレクトロニクス分野において大きな研究テーマの一角であると言える。

このように ZSI が常に注目される理由は、上下短絡動作という従来のインバータで禁止されていた動作によって、単体での昇圧とインバータ機能の実現していることである。そして、この動作を実現しているのが、インダクタとコンデンサから構成されるインピーダンスソースの存在である。電力変換器の出力波形は、電圧・電流のどちらかの要素を制御し、もう一つ要素は負荷によって決定される。電圧波形を制御し、電流が負荷によって決定される回路を電圧型、電流を制御し、負荷によって電圧が決定される変換器を電流型と呼ぶ。これらの動作に対応するインバータが直流源に電圧源を持つ電圧型インバータと、電流源を持つ電流型インバータである。そして、インピーダンスソースは、インバータ側の状態によって、電圧源と電流源を自由に切り替えることが出来る。ここではインバータの回路方式における電圧源と電流源に対するインピーダンスソースの位置づけを述べる。

図 2.1 に一般的なインバータの回路方式である電圧型インバータ (Voltage source inverter: VSI) を示す。VSI は直流側に接続された直流電圧源 V_{dc} 、 C_{dc} からレグの逆導通デバイスをスイッチングすることで、 0 、 $|V_{dc}|$ の範囲で電圧を出力する。よって、出力側にインダクタを接続し、Pulse width modulation

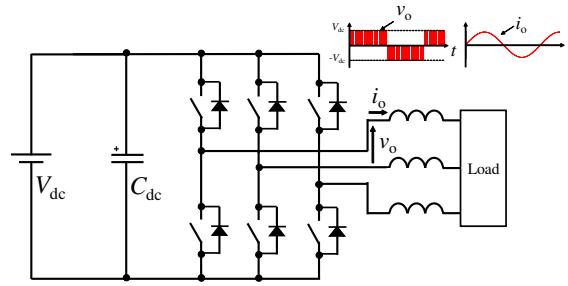


図 2.1 電圧型インバータ (Voltage source inverter: VSI)

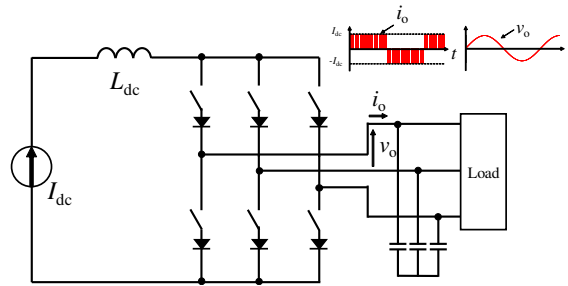


図 2.2 電流型インバータ (Current source inverter: CSI)

(PWM) 制御により正弦波電圧を変調した矩形形状の電圧波形を出力することで、それを積分した正弦波状の出力電流が可能である。

VSI は、バッテリーや交流を整流して得られる直流電源のほとんどが電圧源であるため適用が容易である利点がある。しかし、VSI は前述したとおり、レグの上下のデバイスが誤って同時に ON 状態となると直流電圧源がデバイスを介して短絡し、過大な短絡電流が流れることでデバイスが破壊する危険がある。特に上下のスイッチングパターンを切り替える際には、デバイスの動作の遅れやサージ電圧による誤動作を考慮して、上下のデバイスを一度 OFF 状態とするデッドタイムを設ける必要がある。デッドタイム中は、出力電圧が負荷電流の通電方向により決定されるため、出力電圧指令値に対して誤差が生ずる。これは、負荷電流に対してフィルタ回路では除去することが困難な低次の歪みを生じさせる原因となる。そこで発生する電圧誤差を打ち消すように指令値に重畳することで、デッドタイムによる電圧誤差を補償する制御が提案されている [17–19]。しかし、デッドタイム自体を除去することが出来ないため、ボディダイオードへの通電を防ぐことは出来ない。よって、ボディダイオードの通電による課題を持つ高性能デバイス搭載の妨げの要因となっている。

図 2.2 に電流型インバータ (Current source inverter: CSI) を示す。CSI は、直流側に接続された直流電流源 I_{dc} 、 L_{dc} の電流をレグ上の逆阻止デバイスをスイッチングすることで 0、 $|I_{dc}|$ の電流を出力する。よって、出力側にコンデンサを接続し、PWM 制御により正弦波状に変調した矩形波状の電流波形を流すことで、電流の積分値である正弦波上の出力電圧を得ることが出来る。

電流源は、インバータ前段にサイクロコンバータや電流制御を有する DC-DC コンバータを接続することで実現する。電流源は、両端を短絡しても電流が一定値となる性質がある。よって、CSI は、負荷やレグの短絡に対して VSI のように過大な短絡電流が発生せず、ロバストである。しかし、電流源は、端子を開放すると無限に大きな電圧が生じるため、CSI では回路を開放状態とすることは禁じられている。よって、スイッチングパターンの切り替え時には現在と次に切り替わるスイッチを同時に ON 状態とするオーバーラップ動作が必要となる。しかし、オーバーラップ動作中は負荷電流を制御できない

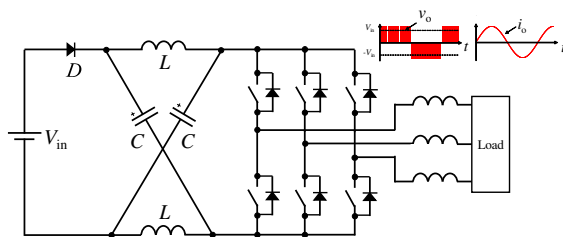


図 2.3 Z ソースインバータ (Impedance source inverter)

表 2.1 各インバータの比較

	Voltage source inverter (VSI)	Current source inverter (CSI)	Impedance source inverter (ZSI)
DC-side power supply	Voltage source	Current source	Voltage/Current source
Device in inverter part	Reverse conduction device	Reverse blocking	Reverse conduction /blocking
DC-link component(s)	Capacitor	Inductor	Impedance source (inductor, capacitor, diode)
Operation mode	Buck operation	Boost operation	Buck/Boost operation
Inhibited operation	Short	Open	Nothing
Inserted Operation at switching transient	Dead-time	Over-lap	Dead-time or Over-lap

め、出力電流に誤差が生ずる。これは出力電圧に歪を生じさせる原因になる。CSI に搭載されるデバイスは、電流の通電方向が常に一定になるため、VSI のような逆導通動作が生じない。従って、ボディダイオードが導通することはない。しかし、デバイスに印加される電圧の極性が変動するため、一方向にのみ電流を流す逆阻止能力があるデバイスが必要である。逆阻止能力を単体で有するデバイスは、サイリスタや逆阻止 Si-IGBT に限られるため、IGBT や MOSFET に直列にダイオードを接続することで実現する [20]。そのため、同程度の導通特性を持つデバイスを用いる場合、VSI に比べると通過するデバイスの増加や、運転中は常に回路内に電流経路を維持する必要があることから、導通損失が増加することが懸念される。

図 2.3 にインピーダンスソースインバータ (Impedance source inveter: ZSI) の回路を示す [16]。ZSI は、他のインバータ方式と異なり、電圧源と電流源、逆導通デバイスと逆阻止デバイスの双方を自由に搭載することが出来る。これは、ZSI のインピーダンスソースが、インダクタを極小化すると、二つのコンデンサが並列になった電圧源に、コンデンサを極小化すると二つのインダクタが直列に接続された電流源とすることが出来るように、双方のインバータ方式の特性を併せ持つためである [13, 16]。

インピーダンスソースの電圧・電流源の動作の切り替えは、インバータの状態によって決定される。インバータ部分が短絡状態にある場合、インピーダンスソース内のコンデンサは、インダクタを介して短絡するため、VSI のように過大な短絡電流は流れない。インバータ部分が負荷に対して開放状態にある場合、インピーダンスソース内のインダクタの電流は、コンデンサへ流れるため、急激にインバータの直流部へ印加される電圧は増加しない。そして、インバータが誘導性の負荷に接続される場合には、インバータの直流側が電流源に接続されているのと同様であり、インダクタ電流は負荷およびコンデンサに流入する。従って、インピーダンスソース有する ZSI では、VSI, CSI の双方で禁止された動作に対して、過剰な電流・電圧を発生させずに動作することが可能である。そして、ZSI は、制御サイクル内でインピーダンスソースを電圧源として運転する区間と、上下短絡によって電流源として動作させる割合を制御することによって、VSI と同様の出力電圧の変調を可能としながら CSI の持つ、負荷短絡に対するロバスト性と昇圧動作を同時に実現することが出来る。表 2.1 に VSI, CSI, ZSI の回路の特徴をまとめたものを示す。

2.3 ZSI の昇圧動作

図 2.4 に示す 1 レグで構成した Z ソース DC-DC コンバータ (ZSDC-DC) を用いて、インピーダンスソースの昇圧動作について述べる。この回路は、 Q_H 、 Q_L の制御により、図 2.5 に示す 3 種類のスイッチングパターンと電流経路を持つ。図 2.5(a) は、上下短絡動作を行う上下短絡区間、図 2.5(b) は、負荷へ DC リンク電圧を印加する Active 区間、図 2.5(c) は、負荷に 0 V を出力する Zero 区間である。

まず、計算に当たり、図 2.4 のインピーダンスソース内のインダクタ L_1 、 L_2 とコンデンサ $C_1 = C_2$ は、

$$C = C_1 = C_2 \quad (2.1)$$

$$L = L_1 = L_2 \quad (2.2)$$

とする。また、 C に L 生ずる電圧は

$$v_c = v_{c1} = v_{c2} \quad (2.3)$$

$$v_L = v_{L1} = v_{L2} \quad (2.4)$$

とする。

制御サイクルを T_{control} として、サイクル当たり上下短絡モードを行う時間 T_{sh} 、その割合を $D_{\text{sh}} = \frac{T_{\text{sh}}}{T_{\text{control}}}$ とする。図 2.5(a) に示すように、上下短絡区間において各部の電圧は、

$$v_L = v_c \quad (2.5)$$

$$v_d = 2v_c - V_{\text{in}} \quad (2.6)$$

$$v_{\text{pn}} = v_o = 0 \quad (2.7)$$

となる。この時、 v_c は必ず V_{in} 以上であるため、ダイオード D は、オフ状態となる。コンデンサ C が短絡したレグを通じてインダクタ L に接続される。よって、インダクタ電流は、コンデンサの平均電圧 \bar{v}_c と上下短絡間 T_{sh} に比例して、単調に増加する。DC リンクと短絡したレグには、2 つのインダクタ電流の和である $2i_L$ が流れる。この短絡電流の一部は、定電流負荷である I_o を介して流れる。

次に図 2.5(b) に示す Active 区間と図 2.5(c) に示す Zero 区間の制御サイクル内での合計を非上下短絡時間 $T_{\text{non-sh}}$ とすると、この区間では各部の電圧に以下の関係が成り立つ。

$$v_L = V_{\text{in}} - v_c \quad (2.8)$$

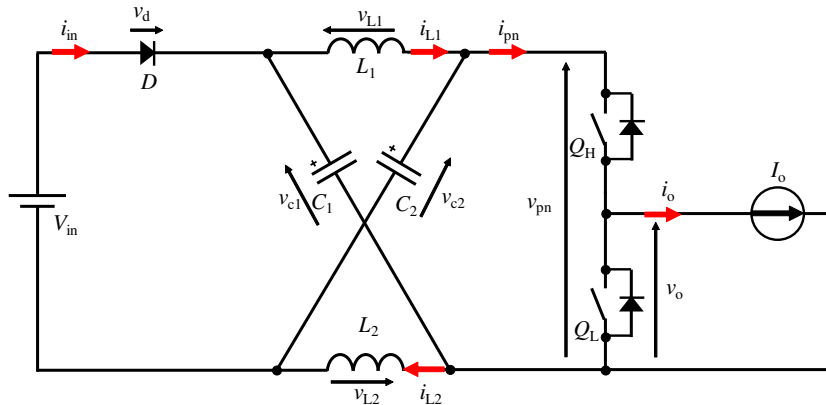


図 2.4 1 つのレグで構成された ZSDC-DC

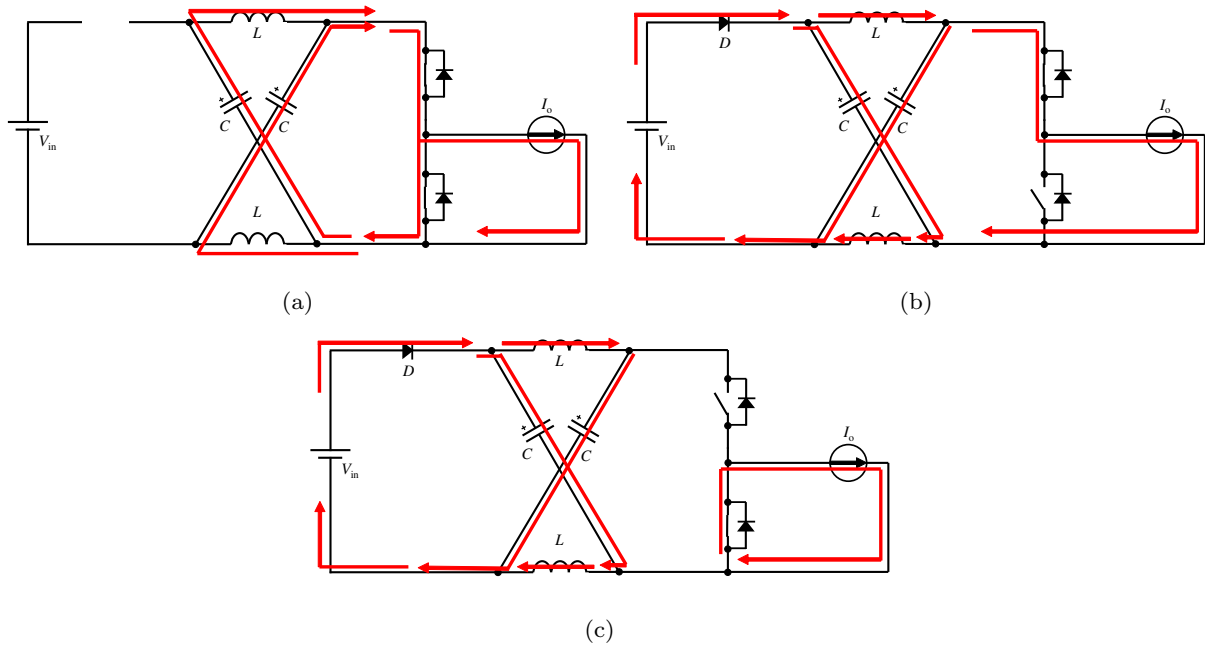


図 2.5 インピーダンスソースの動作と各部の電流 (a) 上下短絡区間 (b) Active 区間 (c) Zero 区間

$$v_d = 0 \quad (2.9)$$

$$v_{pn} = v_c - v_L = 2v_c - V_{in} \quad (2.10)$$

となる。この時、ダイオード D は ON 状態となり、電源は負荷に対して電力の供給を行う。Active 区間の場合、図 2.5(b) に示すように、 v_{pn} がデバイス Q_H を通して印加される。Zero 区間では図 2.5(c) に示すように Q_L によって負荷が短絡されるため、出力電圧 v_o は 0 となり、インダクタ電流は全てコンデンサに流入する。非上下短絡区間では、インダクタ電流は、負荷への電流の供給と短絡区間において放電したコンデンサの充電を行うため、減少する。

従って、図 2.6 のように DC リンクに生ずる電圧は、上下短絡区間では 0 V となり、非上下短絡区間では、式 2.10 によって定まる電圧が最大値 \hat{v}_{pn} となる。制御サイクルにおいて、インダクタに生じる平均電圧 $\overline{v_L}$ は 0 となるので、

$$\overline{v_L} = \frac{T_{sh} \cdot v_c - T_{non_sh} \cdot (V_{in} - v_c)}{T_{control}} = 0 \quad (2.11)$$

となる。よって、コンデンサ電圧 v_c と入力電圧 V_{in} の関係は、 T_{non_sh} , T_{sh} より

$$\frac{v_c}{V_{in}} = \frac{T_{non_sh}}{T_{non_sh} - T_{sh}} \quad (2.12)$$

となる。ここから DC リンク電圧の平均電圧 $\overline{v_{pn}}$ を求めると

$$\overline{v_{pn}} = \frac{T_{sh} \cdot 0 - T_{non_sh} \cdot (2V_c - v_{in})}{T_{control}} = \frac{T_{non_sh}}{T_{non_sh} - T_{sh}} v_c = v_c \quad (2.13)$$

となり、DC リンク電圧の平均電圧 $\overline{v_{pn}}$ は、コンデンサ電圧に等しくなる。また、DC リンク電圧のピーク電圧 \hat{v}_{pn} は、 T_{non_sh} において発生するので、

$$\hat{v}_{pn} = v_c - v_L = 2v_c - V_{in} = \frac{T_{control}}{T_{sh} - T_{non_sh}} V_{in} = \frac{1}{1 - 2\frac{T_{sh}}{T_{control}}} V_{in} = \frac{1}{1 - 2D_{sh}} V_{in} = BV_{in} \quad (2.14)$$

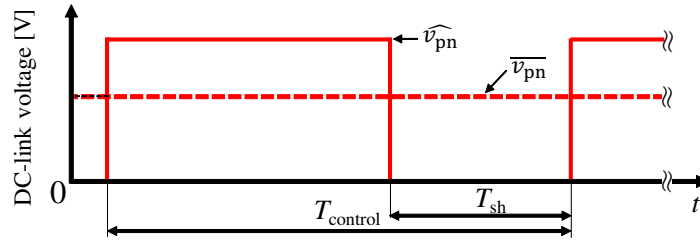


図 2.6 ZSI における DC リンク電圧の定義

となる。ここで B は、 \hat{v}_{pn} に対する V_{in} の比を表している。よって、 \overline{v}_{pn} は、以下のようにも表すことができる。

$$\overline{v}_{pn} = \frac{T_{\text{control}} - T_{\text{sh}}}{T_{\text{control}}} V_{in} = (1 - D_{\text{sh}}) B V_{in} \quad (2.15)$$

従って、ZSI は、非上下短絡区間において、インバータ部分のスイッチングパターンを切り替えることによって、最大値として \hat{v}_{pn} を出力し、平均値電圧として \overline{v}_{pn} を DC リンクに印加されているインバータとして動作することが出来る。

2.4 三相 ZSI の変調方式とスイッチングパターン

系統連系やモータドライブ等の応用を対象とする制御の研究を除いて、ZSI の制御に関する検討で対象となっているのが、変調及びスイッチングパターンによる電圧利用率の拡大とインピーダンスソースで生ずるリプルの低減である。ZSI は、1 制御サイクル内で昇圧とインバータ動作を行うため、デバイスに印加される電圧が昇圧用 DC-DC を持つ従来システムと比較して増加することになる。そのため、デバイスには項耐圧化が求められると共にスイッチング損失の増加が懸念される。また、インピーダンスソースの受動部品数は、従来システムに比べて増加するため、個々の体積を小型化することが求められる。即ち各受動部品の定数、生ずるの電圧・電流リプルのピークを低減する必要がある。これらの課題に対して、変調方式やスイッチングパターンの工夫は、電圧利用率の向上や生ずる波形のリプルの低減することに貢献する事が可能である。ここでは、研究の対象とする三相 ZSI の制御方法について、現在検討されている変調方式とスイッチングパターンについて、その特徴を述べる。

はじめに、三相 ZSI におけるこれまでに提案されている変調方式について述べる。三相 ZSI は、非上下短絡区間において三相 VSI と同様のスイッチングパターンを実行し、負荷に対して交流電圧の出力を行う。図 2.7 と図 2.8 に、三相 VSI が実行する 6 つのスイッチングベクトルと 2 つのゼロベクトルを示す。これに加えて、図 2.9 に示すように、いくつかのレグを短絡させる上下短絡動作が挿入される。そして、所望の出力電圧を発生させるのにあたり、これらのスイッチングパターンの実行時間を決定する方法は変調方式によって異なる。ZSI の変調方式として、提案されているのが従来の VSI において用いられてきた三角波比較 PWM と [21–24] と、ベクトル計算により各スイッチングパターンの実効割合を導出する空間ベクトル変調 (Space Vector Modulation: SVM) 方式 [25–29] である。これらの方式の差は、導出の過程の違いにあり、得られるスイッチングパターンの実行時間は本質的に等しくなる。よって、三角波比較 PWM 方式を代表として、検討されてきた変調方式とその特徴を述べる。

図 2.10 は、初期に提案された Simple boost 方式と呼ばれる変調方式である [21]。先に述べたように上下短絡動作は、負荷にとって、ゼロベクトルと等しくなる。従って、ゼロベクトルの区間において上下短絡動作を実行することで、最も容易にインバータ動作に影響を与えることなく上下短絡動作を挿入することが出来る。この変調方式では、インバータの三本の指令値波形 v_u , v_v , v_w 以外に、上下短絡比 D_{sh} に相当する $v_{sh,p}$ と $v_{sh,n}$ を与える。ゼロベクトルが発生するキャリア波 $v_{carrier}$ の山と谷の部分において、 $v_{carrier}$ が $v_{sh,p}$ 以上になる、 $v_{sh,n}$ 以下になる時を条件とすることで、ゼロベクトル期間中に上下短絡動作信号 SH を生成することが出来る。ただし、この方法では、 $v_{sh,p}$ と $v_{sh,n}$ の値を $v_{sh,p}$ と $v_{sh,n}$ の振幅以下にすることが出来ないため、インバータ動作の割合が低下する区間ではゼロベクトルが生ずる。ゼロベクトルは、非上限短絡区間において、DC リンクに電圧を持ちながらも出力することが出来ないため、電圧利用率を下げる原因となる。

そこで、ゼロベクトルを削除し、より上下短絡比を挿入する方法として、文献 [21] において Maximum boost 方式が提案された。この変調では、図 2.11 に示すように $v_{sh,p}$ と $v_{sh,n}$ の値を三相指令値との最大値と一致させることにより、ゼロベクトルをすべて上下短絡動作とする。これにより、Simple boost 方式に比べて、同じ入出力条件であれば、より低い D_{sh} において同等の出力電圧を得ることが出来る。しかし、常に上下短絡動作の比率が出力周波数の 6 倍の周波数の脈動がコンデンサ電圧やインダクタ電流に対して発生する。この課題を解決するために、 $v_{sh,p}$ と $v_{sh,n}$ を上下短絡動作の挿入量が一定かつ最大化する制御として Constant boost 方式が提案されている [22]。この方式では、Simple boost 方式に比べてゼロベクトルを低減しつつ、上下短絡動作による昇圧量を一定に保つことが可能である。

逆に、非上下短絡区間における電圧利用率を高め、 D_{sh} を抑えつつ出力電圧を増加させる方法として、図 2.12 に示すように三次高調波の注入による指令値電圧の増加が提案されている。[21, 22]。この制御は、一般的な VSI においても、出力電圧を増加させる方法として採用されており、相電圧の最大値を 1.15 倍に増加させることが可能である。また、空間ベクトル変調方式は、三次高調波注入と同等の電圧

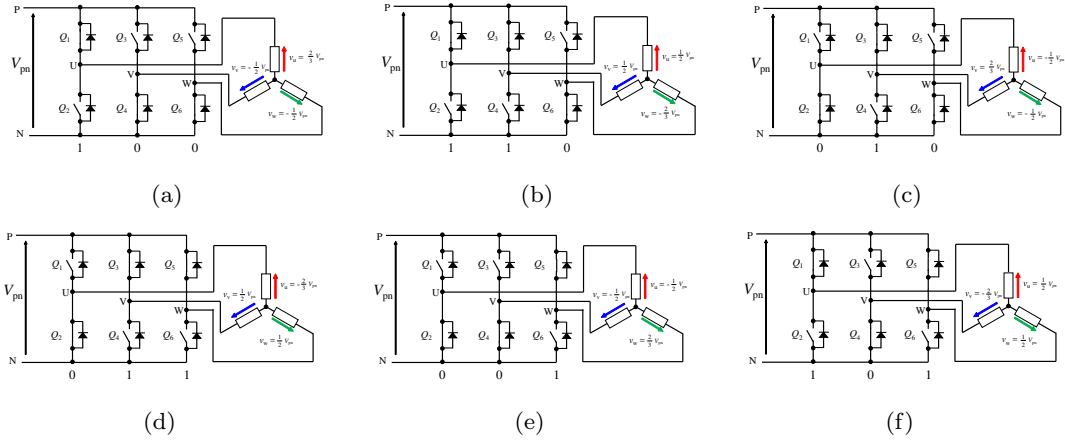


図 2.7 Active 区間における 6 つのスイッチングベクトル (a) 100 (b) 110 (c) 110 (d) 010 (e) 011 (f) 101

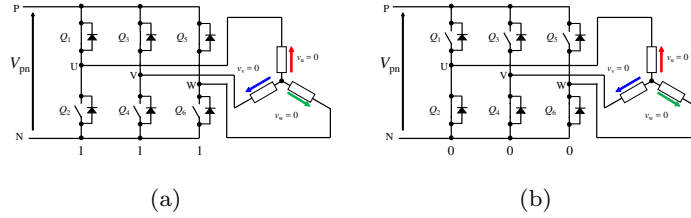


図 2.8 Zero 区間における 2 つのゼロベクトル (a) 111(b) 000

利用率を有する。三次高調波注入は、Maximum boost や Constant boost 方式と併用することが可能である [21,22]。ただし、図 2.12, 2.13 の比較から明らかのように、三相指令値の振幅が増加する三次高調波注入を行った場合、ゼロベクトルの実行時間が低下する。従って、ゼロベクトルにおける D_{sh} の割合を増加させる、Maximum boost や Constant boost 方式を適用した場合、両制御単体を適用した際に生ずる D_{sh} の差は小さくなる。

次にスイッチングパターンの検討について述べる。図 2.14 に示すように、先に述べた三角波 PWM 方式は、キャリアの山と谷で上下短絡動作を生成する。従って、その途中で生ずるスイッチングパターンは、従来の VSI と同じになり、受動部品の波形に対して変化を与えない。そこで、上下短絡動作の挿入の自由度を高めるために、文献 [23,24] では、図 2 に示すように、通常の三相の指令値に対してシフトした新たな指令値を生成し、二つの指令値の間をキャリア波が通過する部分を上下短絡区間として設定している。これにより、キャリアの山と谷に集中していた上下短絡動作を、各レグのスイッチングパターンが切り替わる度に独立して短絡することが可能となる。よって、従来の変調方式と同じデバイスの駆動回数で、インピーダンスソースの高周波化と小型化を実現することが出来る。特に、三角波比較 PWM 方式に比べて、キャリア波を用いない SVM 方式では、スイッチングパターンの並び替えによる受動部品のリップル波形の低減が検討が行われている。[25–29]。文献 [28] では、制御サイクル内で 2, 4, 6 分割した上下短絡動作を、各レグごとのスイッチングパターンの切り替わりの際に挿入した場合の電流リップルの低減について検討している。この検討では、上下短絡動作を 6 等分して挿入することで最も電流リップルを低減でき、同じ制御周波数で駆動する場合、図 2.14 のように上下短絡動作がゼロベクトルの部分に限られる場合と、図 2 に示すように上下短絡動作を 6 分割して挿入する場合を比較すると、インピーダンスソース上のインダクタの電流リップルを 12% 低減できることがシミュレーションにより示されている。従って、スイッチングサイクル内での上下短絡動作の分割は、インピーダンスソースの駆動周波数の高周波化による小型化を可能にする。

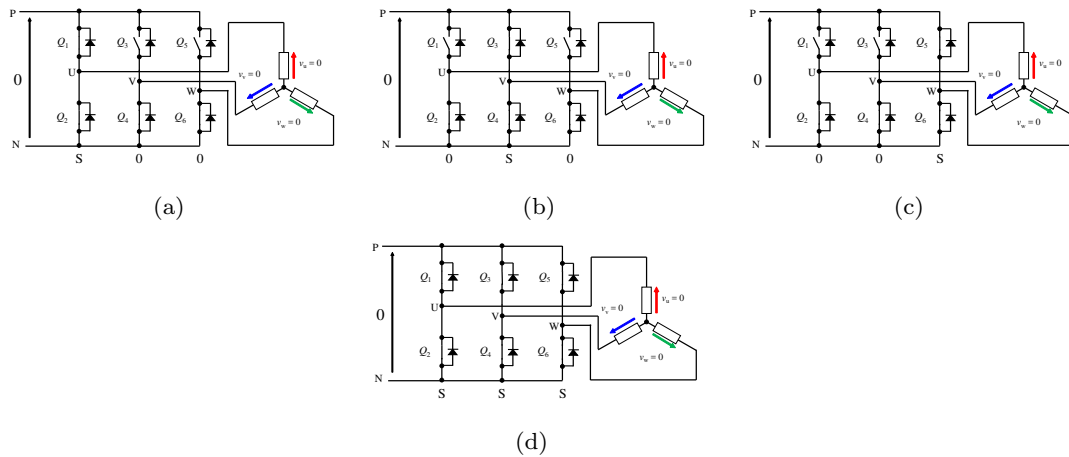


図 2.9 上下短絡区間における 4 種類の上下短絡動作 (a) S00 (b) 0S0 (c) 00S (d) SSS

さらに、三相 ZSI は、図 2.9 に示すように上下短絡動作時のスイッチングパターンにいくつかの自由度を持つ。インピーダンスソース側からは等しく上下短絡状態として見なされるがインバータ内では、上下短絡電流が流れる経路が異なるため、導通損失やスイッチング損失が変化する。しかし、三相 ZSI において、実行される上下短絡動作の多くは、変調やスイッチングパターンの生成方法の特徴上、スイッチングパターンが切り替わるレグのみが短絡するものがほとんどである。そのため、上下短絡動作中のスイッチングパターンの違いによる損失への影響についての詳細な検討、特に高性能パワーデバイスである SiC-MOSFET 等を搭載した場合について十分に議論が行われていない。

最後に、三相 ZSI の変調および制御方式と高性能デバイスの性能との関係について整理する。本研究において、最も優先される条件は、ZSI の上下短絡動作による高性能デバイスのボディダイオードの無通電運転の実現である。その実現のためには、上下短絡動作の挿入位置を容易に変更できる SVM 方式が適すると考えられる。そして、更なる ZSI の損失の低減とインピーダンスソースの小型化について、議論するには、ボディダイオードの無通電運転を実現しつつ、上下短絡時のスイッチングパターンとその挿入位置を最適化することで実現可能であると考え。これらの検討の詳細については、後に続く 3-6 章において述べる。

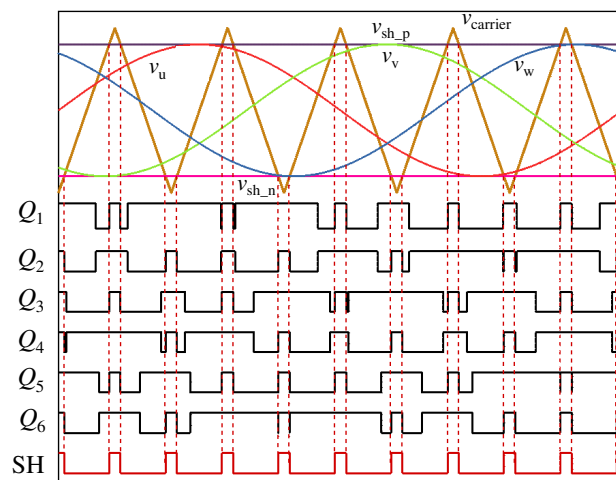


図 2.10 三角波比較 PWM による Simple-boost 方式のスイッチングパターンの生成

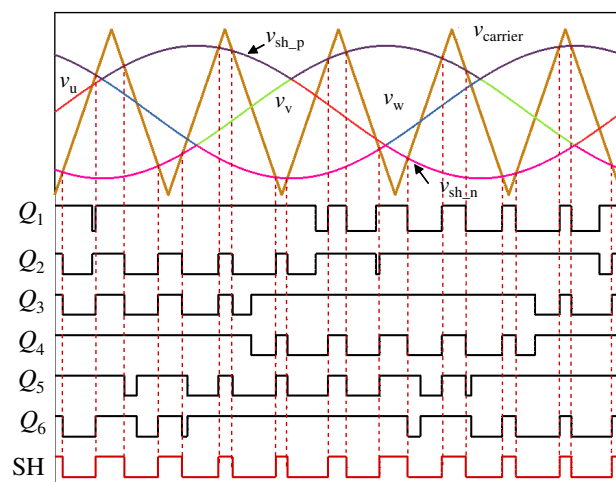


図 2.11 三角波比較 PWM による Maximum-boost 方式のスイッチングパターンの生成

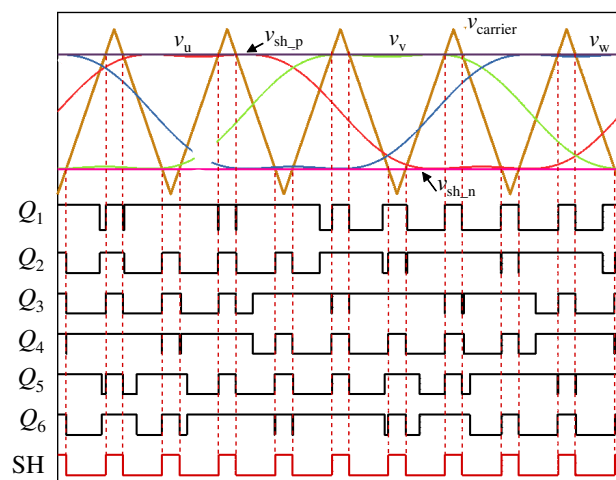


図 2.12 三次高調波注入法を用いた Simple-boost 方式のスイッチングパターンの生成

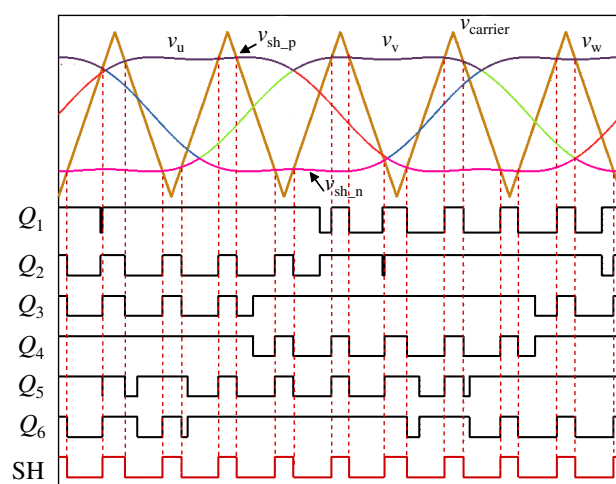


図 2.13 三次高調波注入法を用いた Maximum-boost 方式のスイッチングパターンの生成

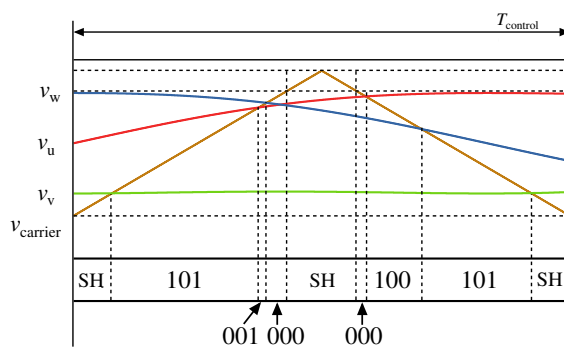


図 2.14 三角波比較 PWM を用いた場合の制御サイクル内のスイッチングパターン

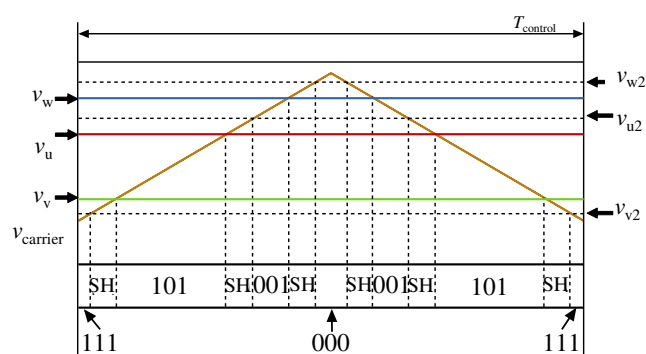


図 2.15 2本の指令値による三角波比較PWMを用いた場合の制御サイクル内のスイッチングパターン

2.5 インピーダンスソースを有する電力変換器

2.5.1 各種電力変換器へのインピーダンスソースの適用

制御方式と並び回路方式についても ZSI は、多くの検討が行われており、インピーダンスソースの変形により高昇圧比化や、他の変換器への拡張が主に提案されている。はじめに、今回の研究で取り扱う DC-AC 変換を含めた 4 種類の電力変換器について、インピーダンスソースの適用例とその特徴を述べる。図 2.16 にインピーダンスソースを適用した電力変換器の分類を示す。電力変換には、DC-DC、DC-AC、AC-AC、AC-DC の 4 種類が存在し、それぞれの変換方式に対して、インピーダンスソースの適用による昇降圧動作の実現と入出力範囲の拡大が検討されている。

図 2.17 は、インピーダンスソースを有する絶縁型 DC-DC コンバータの構成を示している [30–32]。この方式は、インピーダンスソースを有する単相 ZSI によってトランスを高周波で駆動することで、直流入力電圧に対して直流出力電圧の昇降圧動作と絶縁を可能とする。トランス単体では、入出力電圧の振幅の比が固定のため、従来は、昇圧用の DC-DC を必要としていたが、ZSI を用いることで DC-DC に用いるデバイスの個数を低減することが可能である。また、上下短絡動作可能な ZSI は、インバータを高周波駆動の弊害となるデッドタイムがないため、トランスの駆動周波数を高めることで小型化が可能である。

図 2.18, 2.19 は、従来の 2 レベル以上の出力が可能なマルチレベル DC-AC 変換を行う ZSI を示している。図 2.18 は、中性点クランプ型 ZSI の構成を示している [33, 34]。中性点クランプ型インバータは、出力電圧のレベルを 3 レベルにすることが出来るため、通常の 2 レベル出力のインバータに比べて、高電圧の出力や出力フィルタの小型化に適する。図 2.18(a) は、2 つの電源とインピーダンスソースを用いた中性点クランプ型 ZSI である [33]。この回路の midpoint は、上下のインピーダンスソースの P, および N 側に接続される。上下短絡動作は、レグの上側 3 つが短絡することで、上側のインピーダンスソース、下側 3 つが短絡することで、下側のインピーダンスソースが短絡する。従って、各インピーダンスソースの昇圧動作を個別に制御することが出来る。図 2.18(b) は、入力側に 2 つのコンデンサを直列接続したものを配置し、中点を発生させる [34]。これにより、インピーダンスソースや電源を複数用いずに回路を構成することが出来る。このとき、電位が対象になるようにインピーダンスソースのダイオードを上下対象に配置する必要がある。図 2.19 は、太陽電池を電源とする単相 ZSI を組み合わせたセルを MMC(Multi modular cascade) 構造として構築した三相インバータシステムを示している [35]。各セルが昇圧機能を

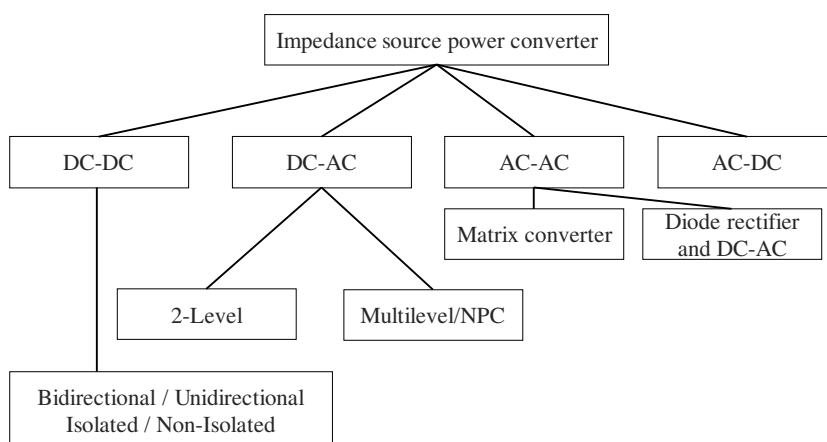


図 2.16 インピーダンスソースを有する回路方式の分類

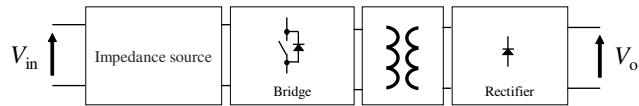


図 2.17 インピーダンスソースを持つ絶縁型 DC-DC コンバータ

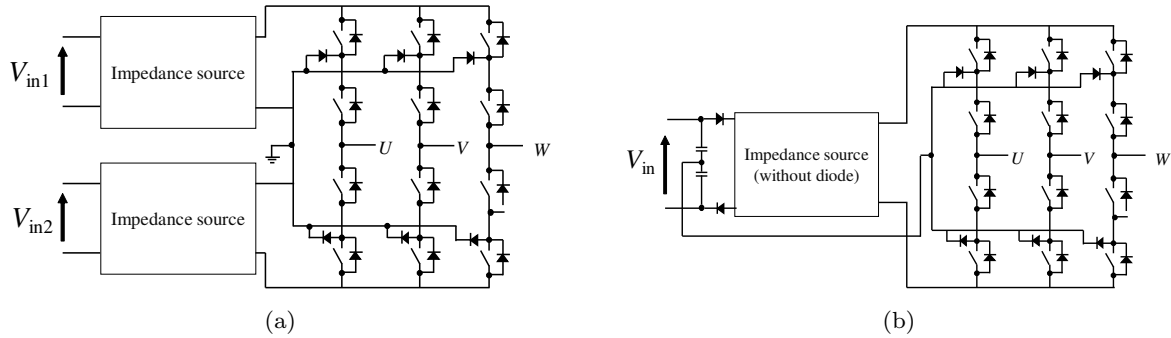


図 2.18 中性点クランプ型三相 ZSI (a) 2 つのインピーダンスソース用いる場合 (b) コンデンサによる分圧を用いる場合

有するため入力電圧の幅が広く、各セルごとに最適な運転を実現する事が出来る。しかしこの方式は、MMC 構造の利点を活かすことが出来ないと考えられる。MMC 構造を用いる場合、各セルの駆動タイミングをずらすことで回路全体の等価駆動周波数をあげる事が出来る。言い換えれば、各スイッチおよびセルの駆動周波数を下げる運転することが出来る。しかし、昇圧とインバータ動作を融合した ZSI にとって、駆動周波数の低下は、インピーダンスソースの体積の増加につながる。従って、MMC 構造に対して ZSI をセルとするメリットは、通常の VSI のセルを用いる場合と比べて少ないと考えられる。

図 2.20 は、インピーダンスソースを適用した AC-AC 電力変換器として、ダイオード整流器と ZSI の組み合わせ [36] と、前段にインピーダンスソースを接続したマトリクスコンバータ [37] を示している。これらの変換器は、インピーダンスソースを接続し、スイッチングパターンを変更することによって、入力電圧以上の出力電圧を発生させることが可能である。主な用途として、モータドライブシステムや、風力発電システムへの適用が検討されている。

図 2.21 は、インピーダンスソースを有する AC-DC 変換器の構成を表している [38]。この回路では、インピーダンスソース上のダイオードを逆導通可能なデバイスに置き換えているため、7つのデバイスを使用する。今回の研究で取り扱う DC-AC 変換を行う ZSI に比べて、報告件数は少ないが、文献 [38] では、制御によるソフトスイッチング動作が提案されており、DC-AC 変換器である ZSI の回生動作への応用が考えられる。

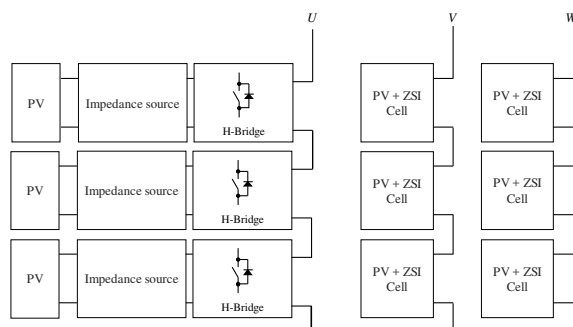


図 2.19 単相 ZSI をセルとする MMC 構造の三相インバータ

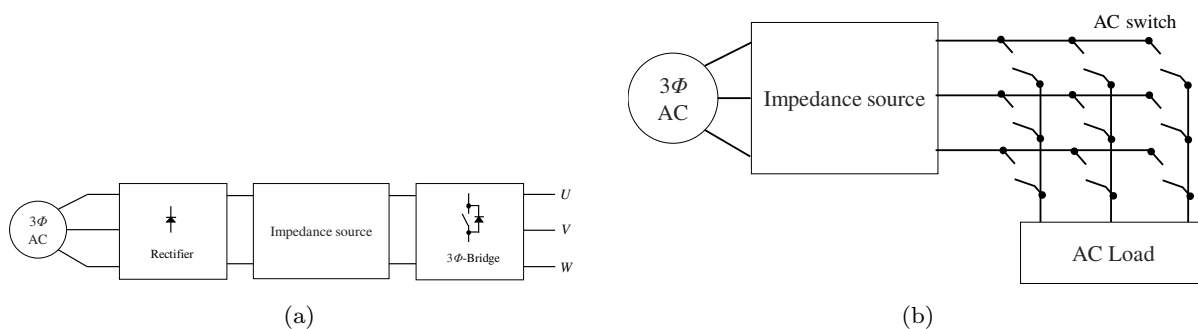


図 2.20 インピーダンスソースの AC-AC 変換器への適用例 (a) ダイオード整流器を入力とするインバータシステム (b) マトリックスコンバータ

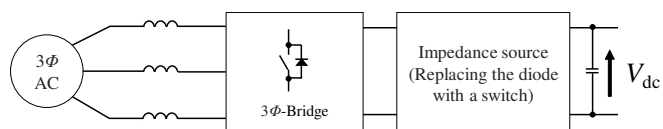


図 2.21 インピーダンスソースを有する PWM コンバータ

2.5.2 インピーダンスソースの分類

図 2.22 に、これまでに提案されている DC-AC 変換動作のためのインピーダンスソースの分類を示す。大きな分類として、図 2.22 に示すように結合インダクタやトランス等の磁気結合の使用の有無によって分けられ、次にインピーダンスソースの変形や多段化、電源の分割、デバイスの削減などによって分類することが出来る。

図 2.23 は、従来の ZSI のコンデンサの位置を変形させることで提案された Quasi Z-source inverter(QZSI) である [39]。QZSI には、入力電流波形がインダクタ電流と等しくなる入力電流連続型と不連続型に分けられる。QZSI の上下短絡動作時には、電源が短絡中の電流パスの上にある。よって、従来の ZSI に比べて、電流連続型 QZSI では、コンデンサ C_2 、電流不連続型 QZSI では、 C_1 、 C_2 にかかる電圧を入力電圧分低減することが可能である。

図 2.24 は、インピーダンスソースの多段化により、従来の ZSI や QZSI に比べて、高い昇圧比実現する事が出来る Diode Assisted Z-source inverter, Capacitor Assisted Z-source inverter と呼ばれる方式である [40,41]。同じような方式として、インピーダンスソース上のインダクタやコンデンサをスイッチトインダクタ、スイッチトキャパシタに置き換えることで高昇圧比化を行う方式も提案されている [42]。これらの方式は、高い昇圧比が得られる一方で、部品点数が増加による体積の増加が懸念される。

図 2.25 は、インピーダンスソース内で入力側の電源を分割する方式を示している。図 2.25(a) に示す Embedded Z-source inverter は、2つのインダクタと直列に2分割された入力電源が接続される。これにより QZSI と同様にコンデンサに印可される電圧を低減する事が出来る [43]。図 2.25(b) に示す B4 Z-source inverter は、入力電源を分割した際の中点を三相出力側の1つとすることで、単相 ZSI に三相

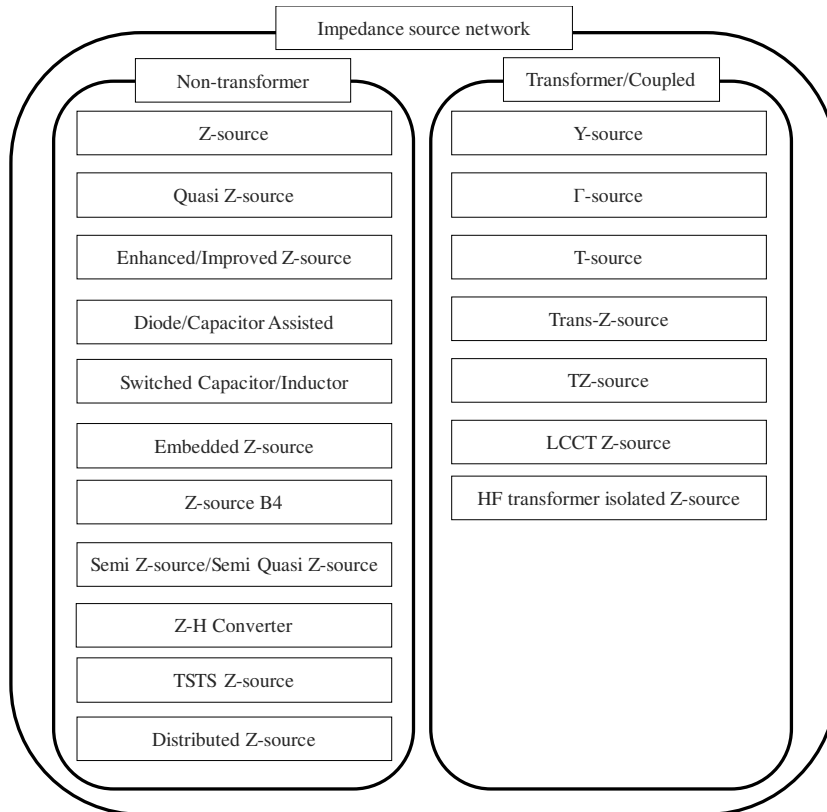


図 2.22 インピーダンスソースの分類

電圧の出力を行う方式である [44]。これらの方式は、コンデンサ電圧やデバイスの個数を低減できるが、電源を分割する必要があるため、適用可能な範囲は、通常の単一の電源を用いる ZSI に比べて限定されることが考えられる。

図 2.26 に示す方式は、昇降圧を含む単相出力が可能でありながら、従来インピーダンスソースに含まれていたダイオードおよびインバータ部分のデバイスの個数を削減する事が出来る [45–48]。図 2.26(a), 2.26(b) に示す semi-Z-source inverter, semi-quasi-Z-source inverter 及び、図 2.26(c), 2.26(d) に示す Boost TSTS Z-source inverter, Buck/boost TSTS Z-source inverter は、ダイオードを用いずに 2 つあるいは 3 つのデバイスの制御により駆動することが可能であり、系統連系インバータとしての利用が検討されている [45, 46] 図 2.26(e) に示す Z-H converter は、ZSI を元に提案された方式で、上下短絡動作を行わずに昇圧・インバータ動作が可能な方式である。そのため、インピーダンスソース内にダイオードを除去することが出来る [48]。

図 2.27 に示す Distributed Z-source converter は、線路の分布定数をインピーダンスソースとして取り扱う方式である [49]。文献 [49] では、駆動周波数 100 kHz において、単相インバータを用いた基礎的な検討が行われ、昇降圧動作が可能であることが示されている。

次に磁気結合を用いるインピーダンスソースの方式について述べる。図 2.28 に、これまでに提案されているインピーダンスソース内に磁気結合を適用した方式の代表的なものを示す。これらの方式は、磁気結合部品の設計により、通常の ZSI に比べて、上下短絡動作に対する昇圧量を増加させている。図 2.28(a)-2.28(d) に示す Y-source inverter [50], Γ -source inverter [51], T-source inverter [52], Trans-Z-source inverter [53] は、一つのダイオード、コンデンサ、そしてコアを共有するインダクタ等の磁気結合部品によって構成され、磁気結合部品が接続される場所や設計によって方式の名称が異なる。磁気結合部品の巻き数比によって、昇圧比を増加させることが出来るため、図 2.24 で示したインピーダンスソースの多段化による方式と比べて、回路構造を簡単化できると考えられる。図 2.28(e), 2.28(f) に示す TZ-source inverter [54], HF transformer isolated Z-source inverter [55] は、従来の ZSI を基にインダクタ部分をトランス化した方式である。また、図 2.28(a)-2.28(f) の方式に共通する事として、入力側がダイオードになっており、上下短絡動作に伴って電源に流れる電流が不連続になる特徴がある。これに対して、図 2.28(g) に示す LCCT-Z-source inverter [56] では、部品点数が増加しているが、入力側にインダクタが配置されており、入力電流を連続にすることが可能である。

本研究では、研究の目的である ZSI の上下短絡動作による高性能デバイスの特性の活用に着目するのに最適な方式として、回路およびデバイスの面から、図 2.23(a) の電流連続型 QZSI(以降 QZSI) を採用した。まず、本研究で提案する上下短絡動作による高性能デバイスの活用は、インバータ部の上下短絡動作が実行する全ての三相 ZSI の方式に対して有効である。一方、ZSI そのもの高昇圧比化等を実現等を目的としていないため、インピーダンスソースの方式としては、磁気結合や多段化を用いず、設計方針が明瞭であることが望ましい。電源の分割等が生ずる方式についても実機製作の観点から好まれない。この条件より、初期に提案された従来 ZSI および QZSI が候補として挙げられる。次に、従来 ZSI と QZSI を比較した場合、従来 ZSI は、入力側がダイオードになっており、上下短絡動作に合わせて不連続な電流が電源に流れることになる。従って、実装上は、LC フィルタの接続が必要となる。一方で QZSI は、入力側がインダクタとなっているため、LC フィルタを用いずに入力電流を連続にすることが可能である。また、ダイオード部分が電源に接続していないことは、実装面においてもデバイス間の距離を詰めることが可能となり、サージ電圧の原因となる寄生インダクタンスを低減する上で有効であると考えられる。以上の理由から、3 章以降の検討では、ZSI の代表として QZSI を用いて検討を進める。

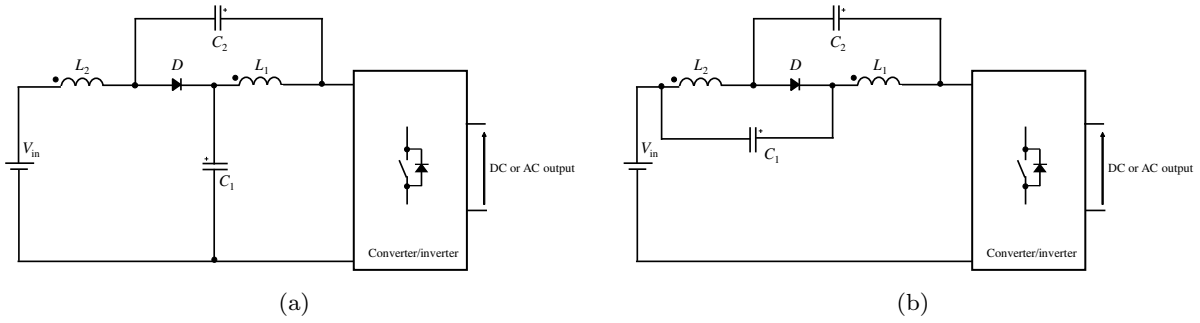


図 2.23 Quasi Z-source 方式 [39] (a) Continues input current QZSI (b) Discontinues input current QZSI

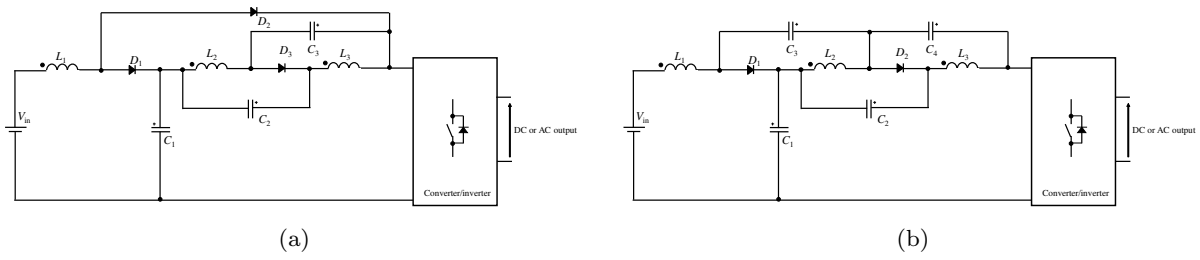


図 2.24 インピーダンスソースの多段化による低 D_{sh} での高昇圧比の実現を目指した方式 [40, 41]
 (a) Diode Assisted Z-source inverter (b) Capacitor Assisted Z-source inverter

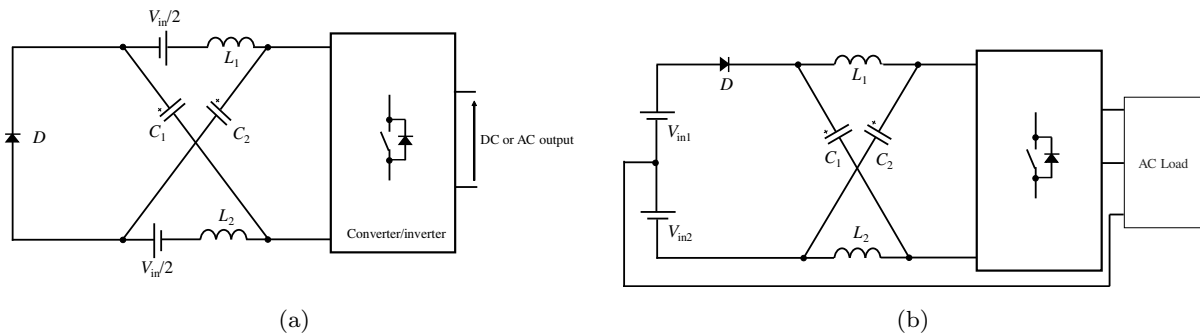


図 2.25 入力電源の分割を行う方式 (a) Embedded Z-source inverter [43] (b) B4 Z-source invreter [44]

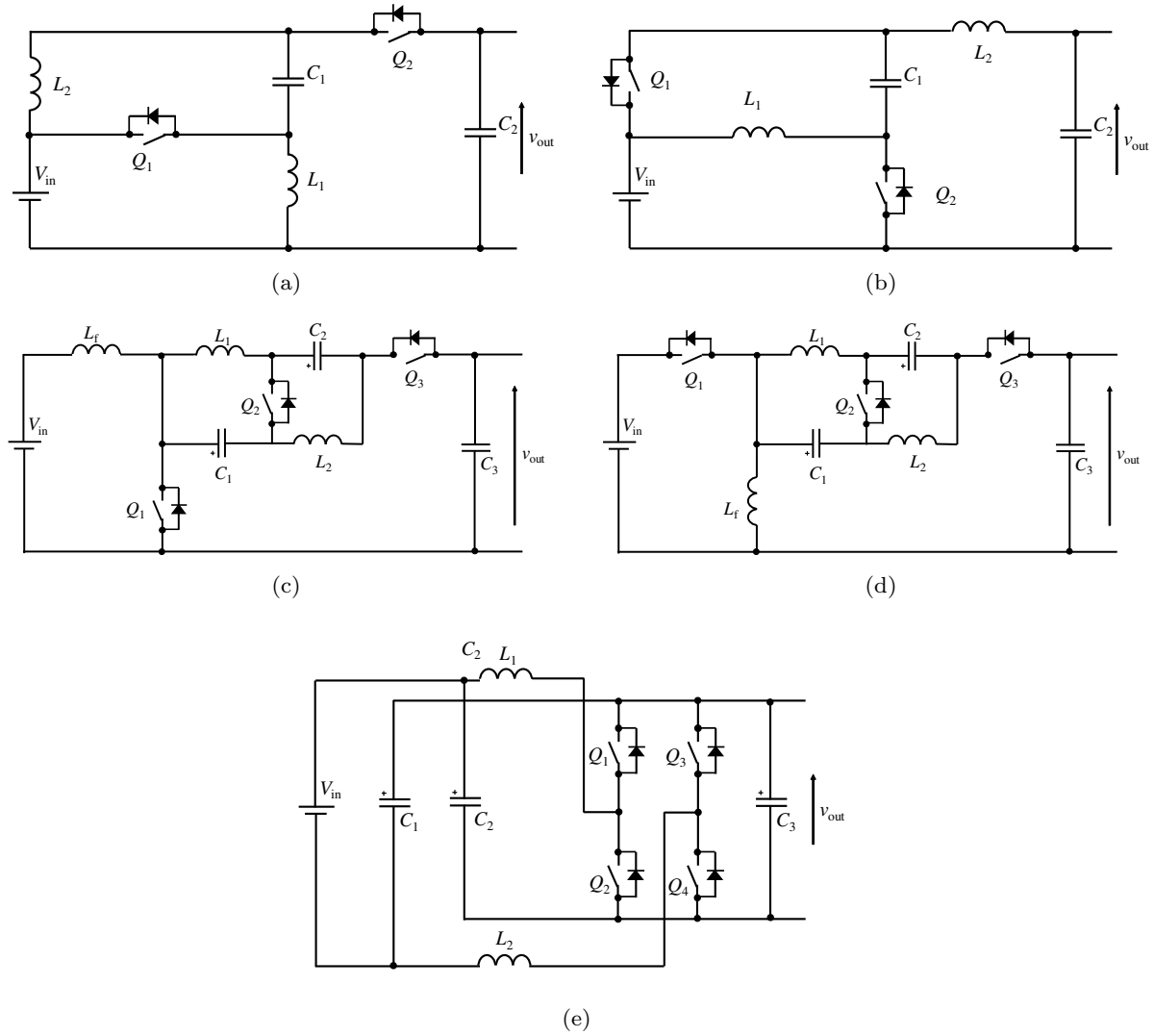


図 2.26 デバイスを削減した方式 (a) Semi Z-source inverter [45] (b) Semi Quasi Z-source inverter [46] (c) Boost TSTS Z-source inverter [47] (d) Buck/boost TSTS Z-source inverter [47] (e) Z-H converter [48]

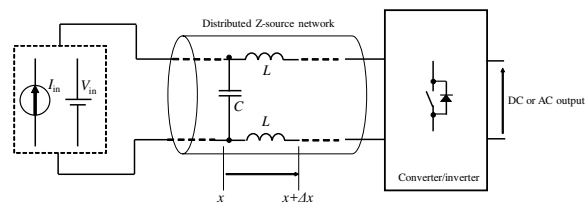


図 2.27 Distributed Z-source converter [49]

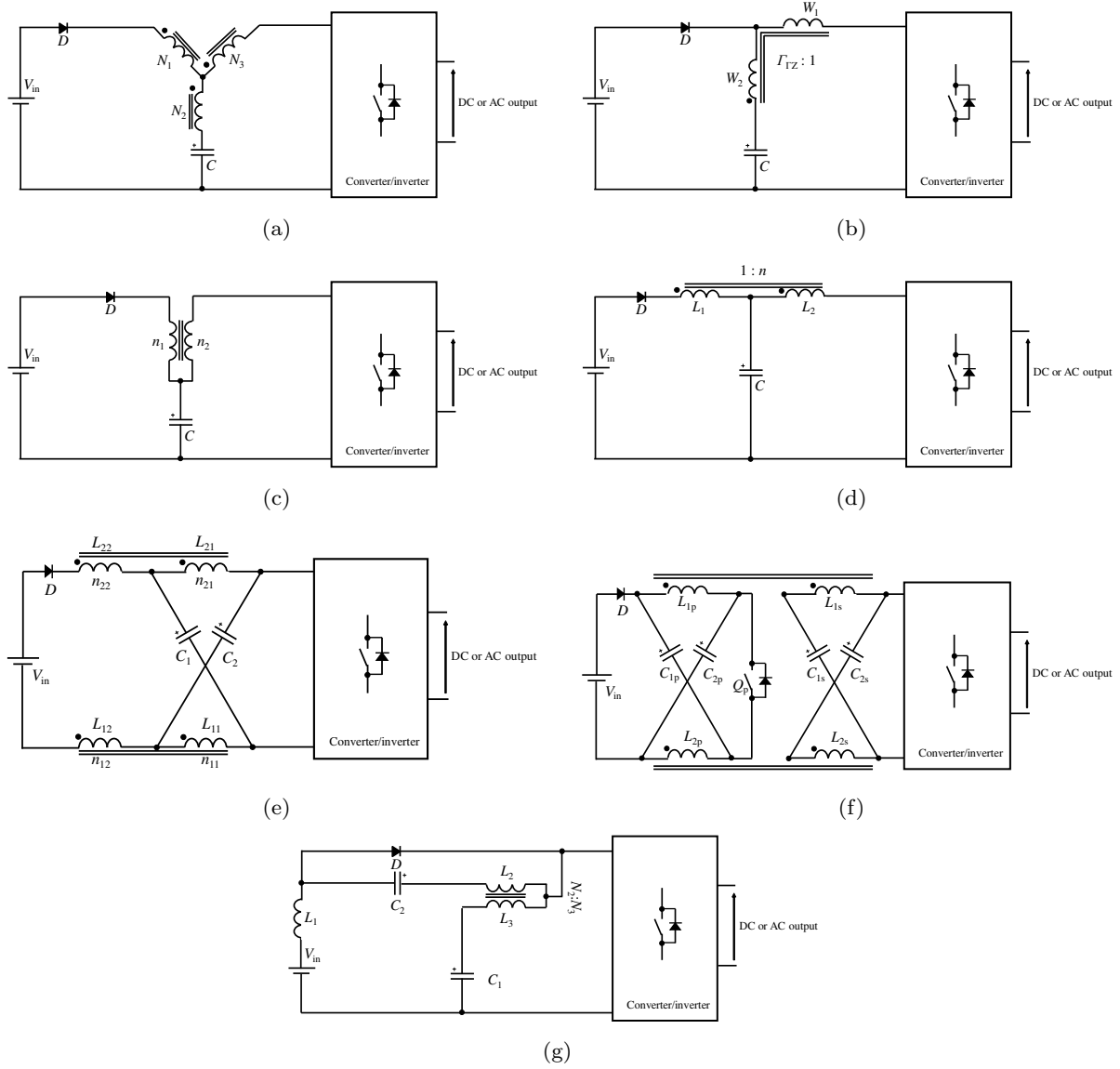


図 2.28 磁気結合を有するインピーダンスソース (a) Y-source inverter [50] (b) Γ -source invreter [51] (c) T-source inverter [52] (d) Trans-Z-source inverter [53] (e) TZ-source inverter [54] (f) HF transformer isolated Z-source invreter [55] (g) LCCT-Z-source inverter [56]

2.6 従来システムに対する ZSI の課題

ZSI は、デバイス数の削減や上下短絡動作による昇圧動作を可能とする一方、回路動作に起因した課題を有している。ここではそのいくつかについて述べる。

ZSI の損失に関する課題として、まず、昇圧動作とインバータ動作の融合に電圧利用率の低下が挙げられる。ZSI は、昇圧動作のための上下短絡区間と電圧を出力する非上下短絡区間を一つの制御サイクル内で共有している。従って、ZSI は、昇圧動作を前段回路で行い、VSI の全ての制御サイクルをインバータの変調に当てることが出来る従来システムと比べて、同じ出力電圧を得るために必要なインバータの DC リンク部分の電圧の最大値 \hat{v}_{pn} が増加する。図 2.29 は、入力電圧 V_{in} に対して実効的な出力線間電圧のピーク値 $|V_{ll}|$ を得るために必要な DC リンク電圧のピーク値 \hat{v}_{pn} を入力電圧 V_{in} で正規化したものを従来システムおよび ZSI について示したものである。三角波 PWM 方式に比べて SVM 方式を採用することで必要な DC リンク電圧を低減できるもの、従来システムに比べて ZSI で必要とされる \hat{v}_{pn} が増加することは明らかである。DC リンク電圧の増加は、デバイスの耐圧要求を高めるため、低オン抵抗なデバイスの選択が難しくなる。同時にスイッチング損失や寄生容量の短絡によって生ずる損失を増加させる。よって、出力電圧に対して必要とされる回路上の電圧が増加することは回路の損失の増加させる要因となる。この ZSI の昇圧動作の原理によるデバイスの損失の増加に関しては、従来システムとの比較を含めて、5 章において検討を行う。

図 2.30 に示すように ZSI は、インバータ部分が上下短絡によるスイッチング動作を行うため、インバータ内の寄生インダクタンスによるサージ電圧がスイッチング速度やノイズの面で課題になると考えられる。特に、従来の VSI と異なり、回路動作上 DC リンク部分にサージを抑制するためのコンデンサを接続することができないため、インバータ部分とインピーダンスソースを含む低インダクタンス化が必要である。

体積に関しても ZSI は、従来システムに対してインピーダンスソースの、インダクタおよびコンデンサの個数が増加する傾向にあり、体積の増加が懸念される。しかし、受動部品の体積は、求められるインダクタンス・キャパシタンス、電圧・電流の実効値や最大値によって決定されるため、一概に ZSI の方が回路が大型化すると決定することは出来ない。体積の各々回路方式が効率、体積の面で最適化された状態において比較する必要がある。ZSI の従来システムとの体積の比較および、制御による体積の削減については、5 章及び 6 章において行う。

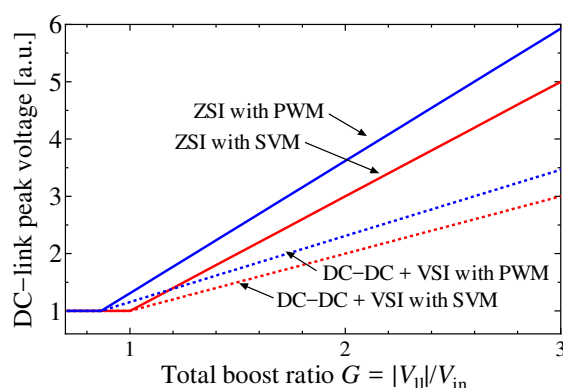


図 2.29 ZSI および従来システムにおける昇圧比 G に対する必要とされる DC リンク電圧のピーク値

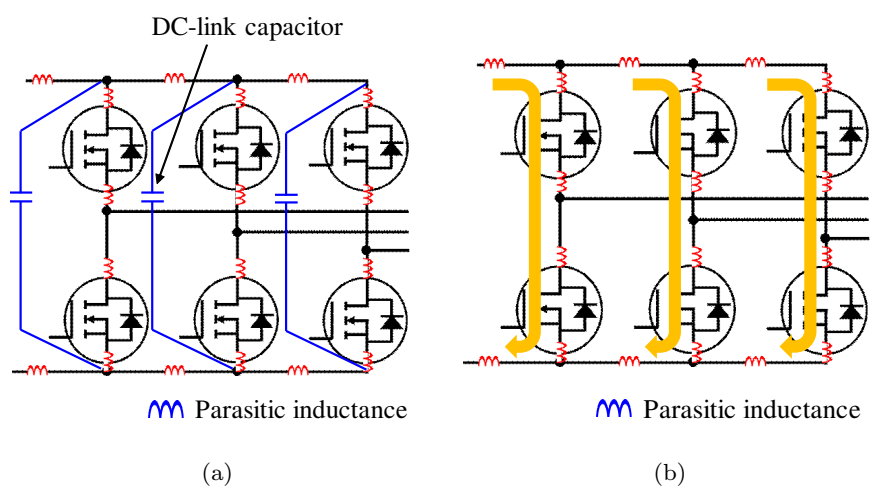


図 2.30 各回路のインバータ部分の寄生インダクタンスと DC リンクコンデンサの接続 (a) DC リンクコンデンサを接続可能な VSI (b) DC リンクコンデンサが接続できない ZSI

2.7 2章のまとめ

2章では、従来のインバータ方式に対するZSIの位置づけを明らかにするとともに、制御の基本となるZSIの上下短絡動作による昇圧動作について示した。また、これまでのZSIに関する研究について、制御と回路方式の面から整理を行った。

ZSIに用いられている変調方式は、三角波比較PWMとSVM方式があり、電圧利用率の改善およびインピーダンスソースの小型化にむけた上下短絡動作の分割が検討されていることが分かった。しかし、現状の制御方法は、従来VSIのスイッチングパターンを導出したのち、スイッチングパターンを上下短絡の挿入量に合わせて延長するという方式である。ZSIは、上下短絡動作時に短絡するレグの個数に自由度があるが、現状の制御は、その自由度が制御や回路動作に十分に反映されていないと考えられる。従って、本研究で提案する上下短絡動作を用いたボディダイオード無通電運転をはじめとする上下短絡動作の活用するための制御方法の提案は、従来のZSIの変調方式の原理上、着目されていなかった新たな提案である。

次に提案されている各インピーダンスソースの方式についてから今後の検討に適用する方式として、動作および構造が単純、かつ入力電流が連続なQZSIを設定した。本研究の内容は、ZSIの上下短絡動作に着目しており、インピーダンスソースの方式が異なる場合であっても、全ての三相ZSIに対して適用可能である。

そして、ZSIと従来システムを比較した際のZSIの持つ課題として、機能融合による各部の電圧の増加による損失の増加、寄生インダクタンスの低減が考えられる。また、増加した受動部品の個数に対して、体積の比較による検討が必要なことを示した。デバイスの特性の活用のための制御方法の検討を含め、これらのZSIの課題の詳細および解決に向けた提案については、後の各章において述べる。

第 3 章

上下短絡動作によるボディダイオード無通電運転

3.1 3 章の概要

3 章では、ZSI に用いる MOSFET に内蔵されているボディダイオードの無通電運転の効果と、その実現方法について述べる。提案するボディダイオード無通電運転は、ZSI が上下短絡動作が可能であり、MOSFET のチャネルがオン状態において双方向導通状態となる、回路とデバイス双方の性質を利用するものである。

はじめに、ボディダイオード無通電運転を実現することで、高性能デバイスおよびインバータシステムが得られる効果について述べる。次に、ボディダイオード無通電運転の原理を示し、SVM 方式に基づいた制御方法について述べる。そして、SiC-MOSFET を搭載した上下短絡動作を有する QZSI と、デッドタイムを有する VSI の各回路上の SiC-MOSFET の動作を計測し、提案する制御により、ZSI ではボディダイオード無通電運転が可能であることを明らかにする。

3.2 ZSI のボディダイオード無通電運転によって得られる効果

3.2.1 ボディダイオードへの通電が引き起こす課題

序論において述べたように、SiC-MOSFET をはじめとする高性能デバイスは、ボディダイオードに課題を抱えている。SiC-MOSFET は、図 3.1 に示すようにワイドバンドギャップ材料であるため、ボディダイオードの順方向電圧は、Si のダイオードに比べて 3 倍程度高い。そのため、デッドタイムをはじめとする環流動作時には、導通損失が増加する [6]。また、SiC-MOSFET は、ボディダイオード通電によりデバイス内部で結晶欠陥が成長し、順方向電圧やオン抵抗を増加させる順方向劣化が報告されている [3, 6–8, 57]。文献 [8] では、SiC-MOSFET が変換器動作上のボディダイオード通電動作によって劣化し、回路損失が増加することが報告されており、順方向劣化はシステムの性能や信頼性を低下させるとして、デバイスだけでなく回路側においても SiC-MOSFET の搭載を妨げる要因となっている。ここではまず、SiC-MOSFET のボディダイオードへの通電の回避、または通電の影響を抑制するために現在取り組まれている方法および特徴について述べる。

1 つ目の対策は、外付けの還流ダイオードの接続である。図 3.1 の V - I 特性からも明らかのように、SiC-MOSFET は、順方向電圧が小さく、通電により劣化が生じない SiC-SBD を、図 3.2 のように逆並列に接続することで、ボディダイオードの通電を回避出来る。また、デッドタイムを含む還流動作時の導通損失を低減することが出来る [9]。この方法は、既に市販の SiC-MOSFET [58] および SiC モジュール [59] において適用されている。図 3.3 は、Wolfspeed 社から市販されている SiC-SBD を逆並列接続

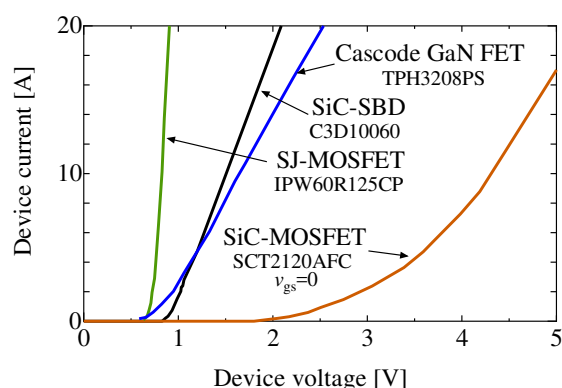


図 3.1 SiC-MOSFET のボディダイオードの V - I 特性の比較

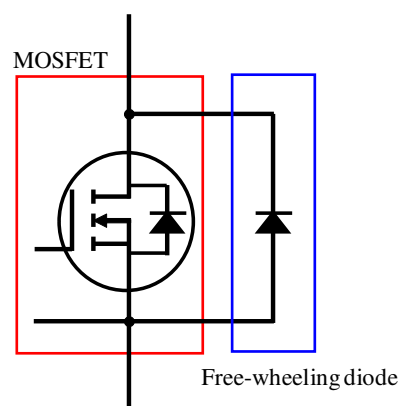


図 3.2 SiC-MOSFET の外付け SiC-SBD によるボディダイオードの通電回避

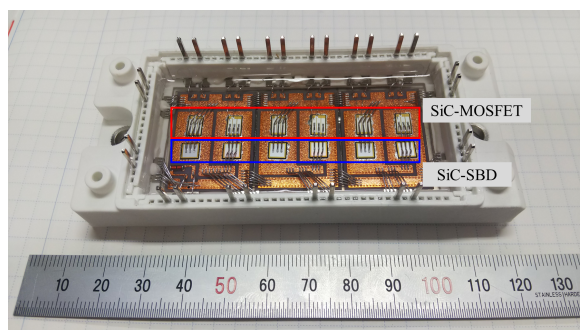


図 3.3 市販されている SiC-SBD を有する SiC-MOSFET 三相インバータモジュール Wolfspeed 製 CCS050M12CM2

した SiC-MOSFET の 6in1 モジュールの内部である [59]。この写真からも明らかなように、この方法では、同等の通電能力を有する SiC-SBD が各 SiC-MOSFET に必要となり、部品点数と実装面積の増加につながる事が分かる。

また、デバイスの並列接続は、端子間容量の増加させ、スイッチング速度の低下とターンオン時の寄生容量による短絡損失を増加させる。図 3.4 は ROHM 製の SiC-MOSFET の SCT2080KE と SCH2080KE の寄生容量と、そこに蓄積される静電エネルギーを表している [58,60]。図 3.4(a) より、外付け SiC-SBD を持つ SCH2080KE は同じ通電能力を持つ SiC-MOSFET 単体の SCT2080KE に比べて、2 倍程度ドレインソース間の寄生容量が増加している。それに伴い、図 3.4(b) に示すように、出力容量に蓄積する静電エネルギーが増加している。文献 [61,62] では、SiC-SBD を追加することによって増加した寄生容量により、SiC-MOSFET のスイッチング特性が低下することが実機実験においても報告されている。

2 つ目の対策は、デバイス構造の工夫である。断面構造の改良による順方向劣化の抑制や、新たなダイオード構造を MOSFET 内部に作りこむことで、外付け SiC-SBD が不要となる。これにより、部品点数と寄生容量の増加を抑えることが出来る。SiC-MOSFET の順方向劣化は、ボディダイオードの通電により生ずる電子と正孔の再結合が原因である。n 型 SiC 基板と耐圧を担うドリフト層である n^- エピタキシャル層が接する界面部において再結合が生ずると、その部分に確率的に存在する基底面転位を電流の流れを妨げる積層欠陥に成長することで発生する [3,63,64]。順方向劣化を抑制する構造として、電子と正孔が基底面転位のある界面部で再結合しないように、基板とドリフト層の間に厚い n 型のバッファ層を挿入し、電子と正孔が再結合する位置を界面部から遠ざけることが提案されている [63,64]。この方

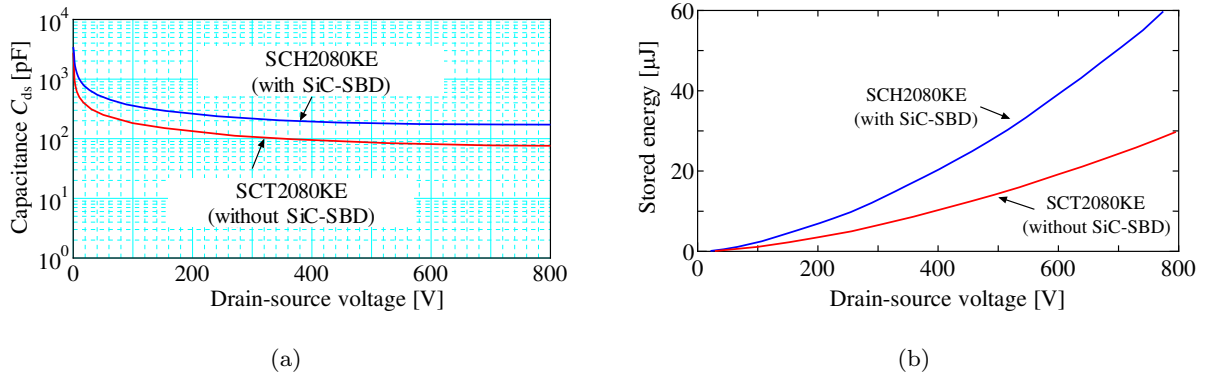


図 3.4 SiC-MOSFET の外付け SBD の接続による影響 (a) D-S 間寄生容量 C_{ds} の増加 (b) 出力容量に蓄えられる静電エネルギー E_{oss} の増加

法では、順方向劣化の根本的な原因である積層欠陥の成長を抑えることが可能である。しかしボディダイオードの順方向電圧を低減できないため、導通損失の低減効果は得られない。

そこで、ボディダイオードの劣化だけでなく、順方向電圧を低減する方法として、SiC-MOSFET 内部に劣化せず順方向電圧の少ないダイオードを作りこむことが提案されている [65–67]。文献 [65] では、MOSFET のセルの間に SBD 構造を挿入することで、外付けする場合に比べてデバイスの実装面積を低減しつつ、ボディダイオードへの通電を回避することが提案されている。文献 [66, 67] では、ゲートの直下に濃い n 層を置くことで、逆導通時にドレイン電流がチャネル部分を通電するようにしている。これらの方法は、デバイス内部でバイポーラ動作が発生せず、順方向電圧の低いダイオードが動作する。従って、順方向劣化の抑制と順方向電圧の低減が可能である。しかし、ゲート付近に新たなダイオード作りこむことは、SiC-MOSFET の特性と製造プロセスに影響があると考えられる。現在の SiC-MOSFET は、チャネル部のゲート酸化膜と半導体が接する界面に多くの欠陥があり、特に耐圧 1.2 kV 程度の SiC-MOSFET では、チャネル部で生ずる抵抗がオン抵抗に対して比較的大きな割合を占めている [6]。よって、チャネル部の抵抗を低減するには、ゲート構造を微細化してセルピッチを小さくし、単位面積当たりのチャネル幅を増やすことが必要である。しかし、文献 [65] のようにチャネル付近に SBD の構造を挿入すると、セル数を増やすことが難しくなる。また、チャネルと SBD という全く異なる構造を同時に作るため、製造プロセスの複雑化が懸念される。文献 [66, 67] のチャネル部をダイオードとして用いる方法では、SBD 構造をセル間に挿入しないためセルピッチをより狭くできると考えられる。しかし、チャネル部をダイオードとして駆動するため、オフ時に印加できる負のゲート電圧の大きさに制約が生じ、高速スイッチング時に誤ターンオンの可能性が高くなると考えられる。従って、これらの SiC-MOSFET のデバイス構造の工夫による対策では、ボディダイオードに関する課題の解決だけでなく、チャネル部の抵抗の低減や高速スイッチング時の誤動作等に対する考慮も必要である。

デバイスの駆動方法の面からも、ボディダイオード通電による影響を低減する提案がなされている。その代表として、インバータ動作や DC-DC での同期整流時のデッドタイムの短縮が挙げられる [68]。SiC-MOSFET の順方向劣化は、電流が流れた時間の累積によって生ずる [10]。通常、デッドタイムの設定は実装、動作温度、印可電圧等によって変化するデバイスのスイッチング特性を考慮して決定するため、ワーストケースを考慮した大きなマージンが設定されている。そこで、デバイスに取り付けた電圧・電流センサとそれに直結されたゲートドライバを用いて、対向アームのターンオフを検出し、即座にデバイスをターンオンすることで、常に最小のデッドタイムを実現する方法が提案されている [68]。文献 [68] の SiC-MOSFET を用いた検討では、デッドタイムを 80 ns 程度まで短縮することが出来ている。しかし、この方法ではボディダイオードの通電自体を防ぐことができない。また、この方式を適用する

場合には、デバイス内部あるいは周辺にセンサや専用 IC をはじめとする部品が必要となる。従って、一般的に広く流通しているディスクリートのデバイスに適用することは難しい。

3.2.2 ボディダイオード無通電運転の効果

前述した従来の対策を用いても、従来インバータシステムへ SiC-MOSFET を適用する際にデバイスに発生する課題を解決する事が出来る。しかし、これらの方法は、導通特性やスイッチング特性の改善に対して制約が生ずる。更に従来インバータシステム自体の課題であるパワーデバイスの搭載数の増加や、誤ターンオンによる上下短絡による破壊のリスクまでを解決することは出来ない。

本論文で提案する ZSI によるボディダイオード無通電運転は、次節で詳細を述べるが、主回路動作が上限短絡動作を可能とすることと、MOSFET のチャネルが ON 状態において双方向導通であるという、回路とデバイス双方の特徴を利用している。そのため、ZSI に搭載される SiC-MOSFET は、外付けダイオードを必要とせず、内部に新たにダイオード構造を持たなくてもボディダイオードへの通電を防ぐ事が出来る。また、ZSI では VSI で懸念されるノイズや誤動作に起因する上下短絡によるデバイスの破壊が起こらないため、スイッチングの高速化が可能となる。従って、この提案する方法は、従来インバータシステムとデバイスの持つ課題を根本的に解決することが出来る。

図 3.5 に示すように、提案する方法を用いることで、ZSI に適用される SiC モジュールは、SiC-SBD を除去することで、部品点数と実装面積を大幅に減らすことが出来る。モジュールの小型化は、部品点数だけでなく SiC-MOSFET の高密度実装とスイッチング時のサージ電圧の原因となる寄生インダクタンスの低減につながり、SiC-MOSFET の高速スイッチング特性をより発揮しやすい状態での動作が可能となる。表 3.1 に従来インバータシステムと ZSI を実現する場合に必要な Si-IGBT と SiC-MOSFET の個数を示す。Si-IGBT は、内蔵のボディダイオードが存在しないため、外付けの還流ダイオードが必要となる。従来のインバータシステムでは、Si-IGBT、SiC-MOSFET 共に、DC-DC およびインバータにおける還流動作により、計 16 のデバイスが必要となる。しかし、SiC-MOSFET を搭載した ZSI は DC-DC が不要となり、ボディダイオードの通電が生じないため、半分以下の計 7 個のデバイスで回路を構成することが出来る。

更に、ZSI に搭載される SiC-MOSFET は、内部に新たなダイオード構造を必要としない。これは現状の SiC-MOSFET をインバータシステムに適用可能にするに留まらない。将来的に微細加工技術の発展により、SiC-MOSFET はセルピッチを更に詰めることが出来るようになった時、現在に比べてチャネ

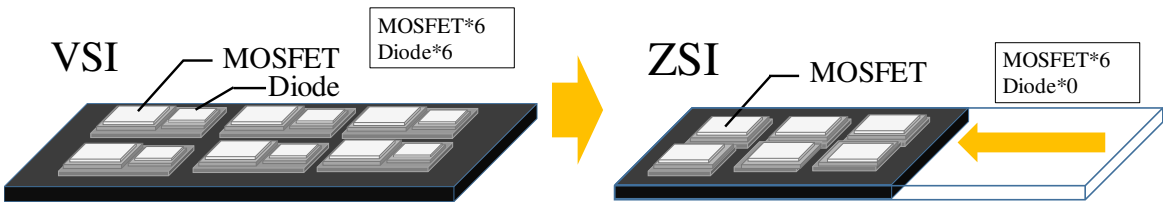


図 3.5 外付けダイオードの除去によるインバータモジュールの小型化

表 3.1 従来インバータシステムと ZSI において必要となるデバイス数の比較

	Si-IGBT IGBT/Diode	SiC-MOSFET MOSFET/Diode
DC-DC+VSI	8/8	8/8
ZSI	6/7	6/1

ル抵抗を更に低減出来るようになると考えられるが、現状の内部にダイオードを作りこむ方法を適用していた場合、セルピッチを詰めることに限界が来ると考えられる。しかし、ボディダイオード無通電運転が可能な ZSI であれば、より MOSFET のセルピッチを詰めることが出来るため、チャネル抵抗の削減に特化し、オン抵抗とスイッチング特性のトレードオフを向上させた、専用の高性能 SiC-MOSFET の搭載が可能になると考えられる。従って、今回提案する ZSI によるボディダイオード無通電運転は、単に ZSI 上の SiC-MOSFET のボディダイオードの導通回避と SiC-SBD の除去するだけでなく、回路とデバイス双方が互いの性能を引き出しあうことを可能にする。従って、この提案は、将来的なデバイス技術の発展と合わせて、更なるシステムの高性能化を可能にすることが出来る考える。

3.3 上下短絡動作によるボディダイオード無通電運転の原理

本論文で高性能デバイスとして扱う SiC-MOSFET や Si-SJ-MOSFET をはじめとする MOSFET は、オン状態のチャネルが双方向導通となる。チャネルの導通特性は、ボディダイオードが順方向電圧を持つのにに対して V - I 特性が 0 から立ち上がる。従って、デバイス内で生ずる電圧降下がボディダイオードの順方向電圧に達しない限り、常にチャネルのみが通電する状態となる。しかし、従来の VSI では、図 3.6(a) に示すように、スイッチングパターンが切り替わる際に挿入されるデッドタイム区間中、上下のデバイスは OFF 状態であるため、負荷電流はボディダイオードを含む環流ダイオードへ通電する。

一方、ZSI は、図 3.6(b) に示すようにスイッチングパターンを切り替える際に、デッドタイムではなく上下短絡動作を挿入することが出来る。従って、負荷電流及びインピーダンスソースからの短絡電流は、全て抵抗の低い MOSFET のチャネル部を通電する。この状態から次のスイッチングパターンに移行することによって、ZSI はボディダイオードへの通電を起こさず、常にチャネルへの通電のみでの運転が可能となる。

ZSI によって三相インバータを構成する場合、レグが 3 つあるため上下短絡動作を行う際に短絡するレグの組み合わせには、自由度が存在する。図 3.6(b) で示したように、原理上、ZSI は、スイッチングパターンを切り替えるレグのみを上下短絡することで、ボディダイオードへの通電を回避することが可能である。しかし、4 章において詳細を述べるが、MOSFET を用いた ZSI では、上下短絡時に 1 つのレグを短絡させる場合に比べて、全てのレグを同時に短絡することでインバータ部分の損失を低減する

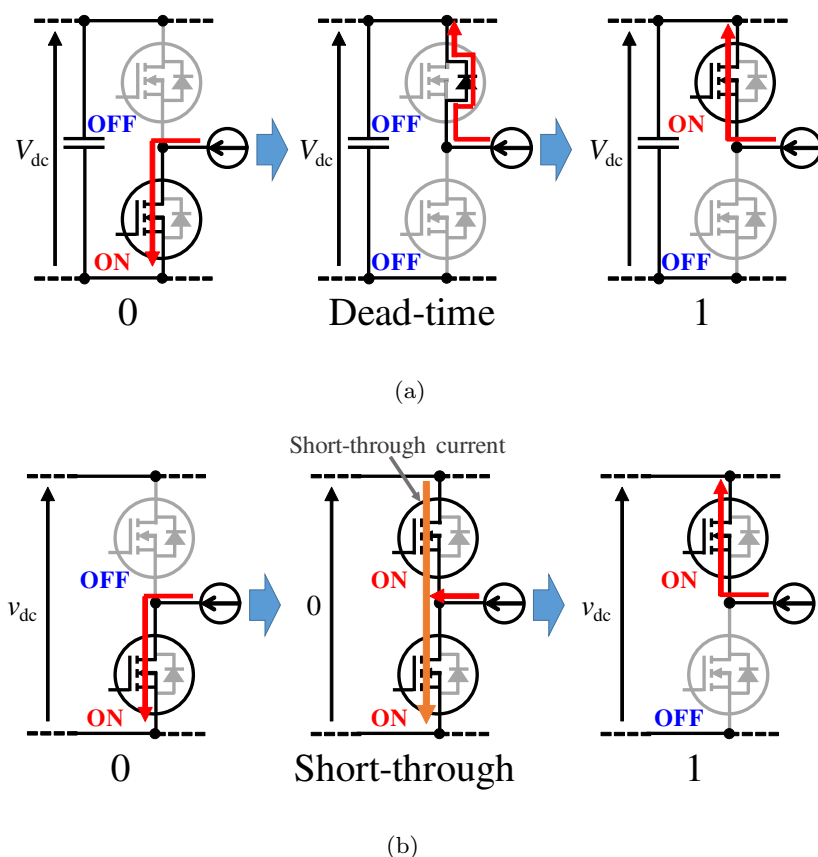


図 3.6 MOSFET を搭載した各回路のレグの電流経路 (a) デッドタイムを持つ VSI (b) 上下短絡動作を持つ ZSI

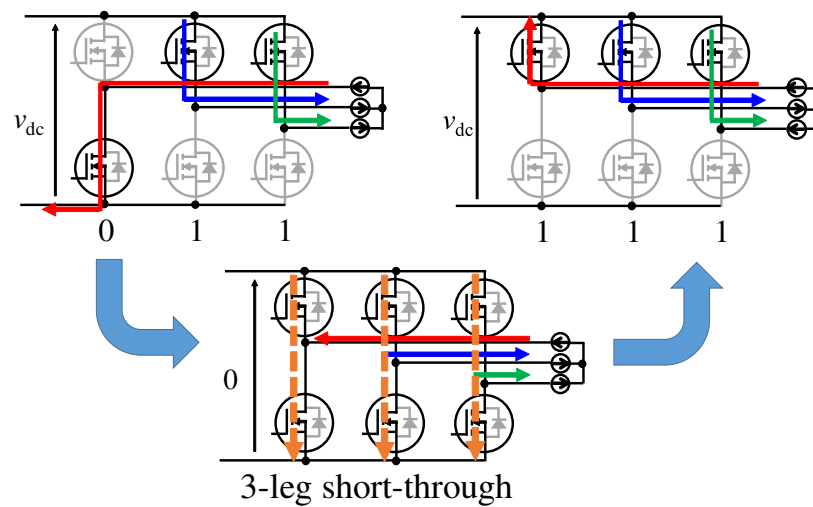


図 3.7 三相 ZSI における 3 レグ短絡動作

事が出来る [69,70]。主要因は、インピーダンスソースからの短絡電流を 3 つのレグに分流することによって、レグ当たりの電流を減少させることが出来るからである [69,70]。従って、三相 ZSI で提案するボディダイオード無通電運転を実現するには、図 3.7 に示すように上下短絡動作時に前後のスイッチングパターンとは関連なく、全てのレグを短絡させる動作を適用する。この動作を 3 レグ短絡と呼ぶ。

3.4 SVM 方式に基づいたボディダイオード無通電運転

ボディダイオード無通電運転を行うには、スイッチングパターンの切り替わりの際に 3 レグ上下短絡を挿入する必要がある。それは、図 3.8 に示すように、ZSI の 1 制御サイクルにおける各スイッチングパターンの Active 区間 A , B , Zero 区間 Z_{000} , Z_{111} の切り替わりの際に、6 つに等しく分割した上下短絡区間 S を挿入することで実現出来る。ZSI では、上下短絡動作は回路動作の一部であるため、上下短絡の挿入は、変調動作の一部として実行する。

ZSI の変調方法は 2 章で述べたように、キャリア波形と指令値波形の比較に基づく三角波比較 PWM 方式と、ベクトル計算に基づく SVM 方式がある。しかし、これまでに提案されている三角波比較 PWM 方式では、上下短絡を実行する区間が Zero 区間の内部であり、スイッチングパターンの切り替えの際に

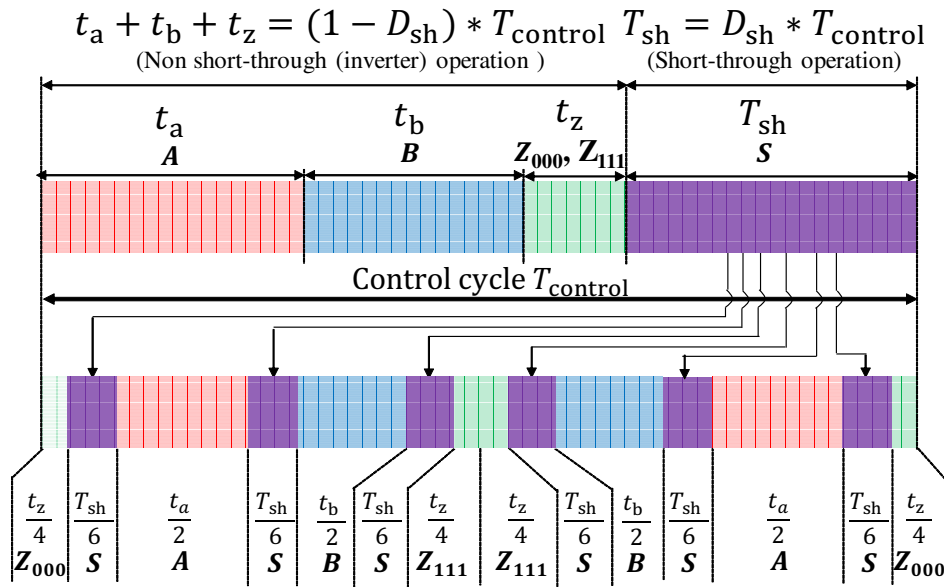


図 3.8 ボディダイオード無通電運転を実現するスイッチングパターン

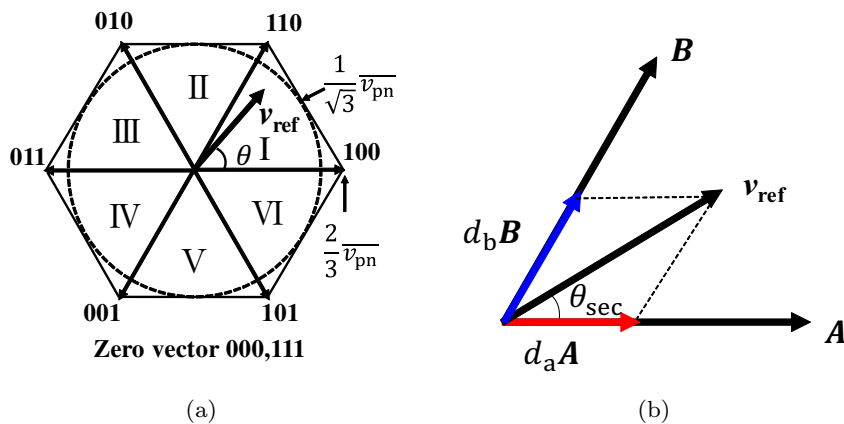


図 3.9 ZSI における SVM 方式を用いた出力相電圧の表現 (a) 三相インバータが出力可能なスイッチングベクトルと指令値ベクトル v_{ref} (b) セクタ上でのベクトル A , B による指令値ベクトル v_{ref} の合成

実行することが出来ない [16, 21, 22]。文献 [23, 28] の一部の変調方式では、スイッチングパターンの切り替えの際に上下短絡動作を挿入することができるが、各レグの指令値が独立しているため、上下短絡動作はスイッチングパターンの切り替わるレグのみで実行される。そのため、現状の変調方式では、提案するボディダイオード無通電運転を実現することが出来ない。そこで、本節では、各スイッチングパターンの実行時間の導出と分割・配分を全てのプロセスが計算によって実行することが出来る SVM 方式に着目する。そして、SVM 方式を用いたスイッチングパターンの切り替えの際に 3 レグ短絡を実行する事が出来る制御方法を提案し、その実装について述べる。

図 3.9 に示すように SVM 方式は、出力する三相交流電圧波形を指令値ベクトル \mathbf{v}_{ref} の長さと回転する速さに置き換えて、6 つのスイッチングベクトルを持つヘキサゴン上を回転させ、各スイッチングベクトルで囲まれたセクター上で \mathbf{v}_{ref} を合成するのに必要なスイッチングベクトル及び実行時間を計算することで、スイッチングパターンの生成を行う。

図 3.9(a) のヘキサゴンは、三相 ZSI が出力可能な 6 つのスイッチングベクトルを表している。各ベクトルの長さは、ベクトルを実行した際の出力可能な実効的な相電圧の振幅である $\frac{2}{3}\overline{v_{\text{pn}}}$ となる。中心はゼロベクトルであり、2 種類のゼロベクトル **000**, **111** のどちらかを出力することで実現する。ヘキサゴンに内接する円の半径は、過変調状態にならずに正弦波相電圧を出力可能な振幅を表しており、その大きさは、式 2.15 より得られる DC リンク平均電圧 $\overline{v_{\text{pn}}}$ より、 $\frac{\overline{v_{\text{pn}}}}{\sqrt{3}}$ となる。ヘキサゴン内の各スイッチングベクトルに囲まれた三角形は、セクタと呼ばれる。ヘキサゴン上を回転する指令値ベクトル \mathbf{v}_{ref} の長さは、出力する実効的な相電圧の振幅であり、回転の角速度は出力電圧波形の角速度 ω_{out} となる。この時、DC リンク平均電圧 $\overline{v_{\text{pn}}}$ に対する指令値ベクトルの長さが表す実効的な出力相電圧の振幅 $|\mathbf{v}_{\text{ref}}|$ との比を電圧利用率 m と置くと

$$m = \frac{\sqrt{3}|\mathbf{v}_{\text{ref}}|}{\overline{v_{\text{pn}}}} \quad (3.1)$$

となる。 m は 0~1 の範囲で設定可能である。また、実効的な出力線間電圧の最大値 $|V_{\text{ll}}|$ に対する入力電圧 V_{in} の比を総合昇圧比 G と定義する。

$$G = \frac{|V_{\text{ll}}|}{V_{\text{in}}} = \frac{\sqrt{3}|\mathbf{v}_{\text{ref}}|}{\overline{v_{\text{pn}}}} = (1 - D_{\text{sh}})mB. \quad (3.2)$$

図 3.9(b) は、 \mathbf{v}_{ref} が任意のセクタ上にある場合のセクターを囲むスイッチングベクトル \mathbf{A} と \mathbf{B} との関係を示している。 θ_{sec} は \mathbf{A} と \mathbf{v}_{ref} が成す角度を表す。SVM 方式では \mathbf{v}_{ref} をスイッチングベクトル \mathbf{A} , \mathbf{B} とゼロベクトル \mathbf{Z} の合成によって表現する。 \mathbf{v}_{ref} を表現するために 1 制御サイクル T_{control} 、上下短絡比 D_{sh} 、電圧利用率 m において \mathbf{A} , \mathbf{B} , \mathbf{Z} を出力すべき時間を t_a , t_b , t_z 及び制御サイクル中の比を d_a , d_b , d_z とすると

$$t_a = d_a T_{\text{control}} = m \sin(60^\circ - \theta_{\text{sec}}) (1 - D_{\text{sh}}) T_{\text{control}} \quad (3.3)$$

$$t_b = d_b T_{\text{control}} = m \sin(\theta_{\text{sec}}) (1 - D_{\text{sh}}) T_{\text{control}} \quad (3.4)$$

$$t_z = d_z T_{\text{control}} = (1 - D_{\text{sh}} - d_a - d_b) T_{\text{control}} \quad (3.5)$$

となる。式中で $(1 - D_{\text{sh}})$ が乗算されているのは、これらのベクトルが制御サイクル上の非上下短絡区間において実行されるためである。

以上の計算から求められた Active 区間 A , B , Zero 区間 Z 、上下短絡区間 S の 3 種類のスイッチングパターンと制御サイクル内での各実行時間は、図 3.8 上段のように表すことが出来る。そして図 3.8 下段に示すように、3 レグ短絡を実行する上下短絡区間 S を 6 つに分割し、各スイッチングパターンの切り替えの際に挿入することで図 3.7 で示した提案制御を実現する。この提案制御では、インバータ上の MOSFET の駆動回数は、1 つのレグのスイッチングパターンの切り替わりごとに 3 レグ短絡が実行されるため、出力周期内でのデバイスの平均駆動周波数は、制御周波数の 3 倍となる。

3.5 実験による検証

3.5.1 実験回路

提案制御による MOSFET のボディダイオード無通電運転を実証するため、SiC-MOSFET を用いた従来のデッドタイムを有する VSI、提案方式を用いた QZSI を試作し、両回路上の SiC-MOSFET の動作の解析を行った。

製作した VSI と QZSI を図 3.10、仕様を表 3.2, 3.3 に示す。両回路のインバータ部分には SiC-SBD が並列接続されていない SCT2160KE(ROHM 製) を用いた。両回路の制御周波数は 20 kHz とし、スイッチングパターンの切り替えの際に、それぞれ $1\ \mu\text{s}$ のデッドタイムまたは上下短絡区間を挿入した。制御は、DSP(Digital Signal processor) と FPGA(Field-Programmable Gate Array) を搭載する Myway プラス社製の制御器 PE-Expert4 を用いた。DSP 上で電圧空間ベクトルを用いて、制御サイクル内で出力するスイッチングベクトルとその実行時間を計算し、その情報に基づいて FPGA がスイッチングベクトルの分配と再配置を行い、スイッチングパターンとしてゲート信号を生成する。運転中の SiC-MOSFET のボディダイオードへの通電を観測するために $V_{\text{in}} = 100\ \text{V}$ に設定した。QZSI のインピーダンスソース内の受動部品は、電圧・電流リプルを低減するために、制御周波数および上下短絡動作の挿入量に対して比較的大きな値のものを用いた。従って、この実験条件は SiC-MOSFET のボディダイオード無通電運転の検証を目的としており、この結果から VSI と QZSI の回路性能を比較することは出来ない。

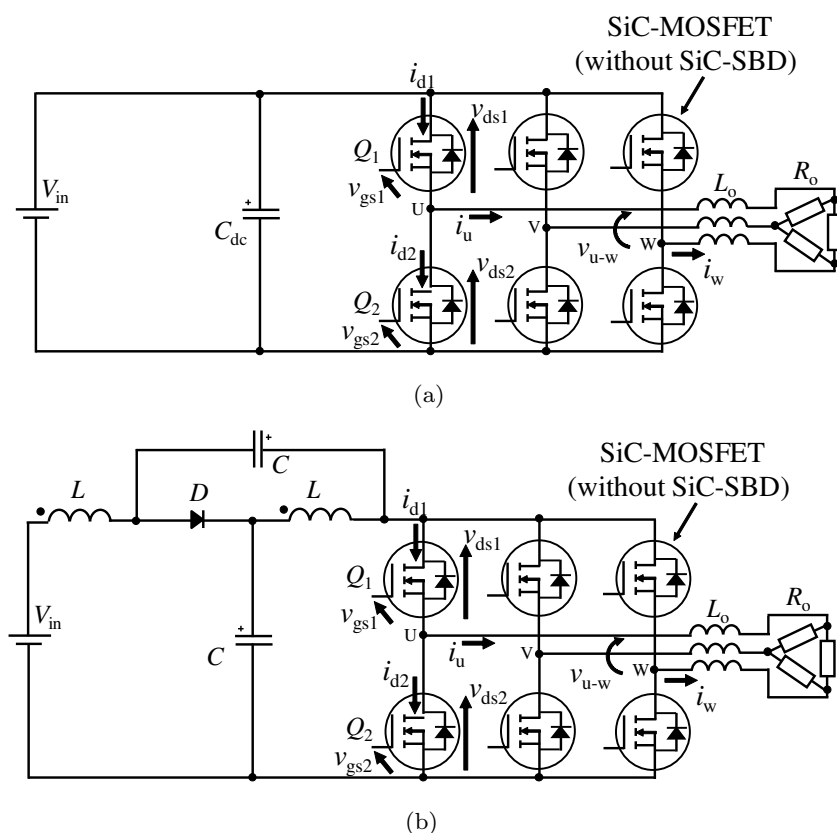


図 3.10 試作した回路 (a) VSI (b) QZSI

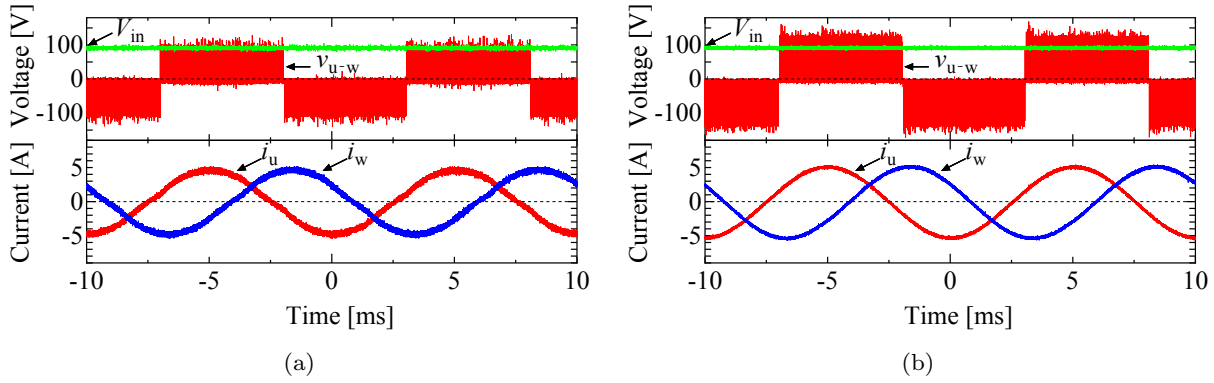


図 3.11 両回路の入力電圧 V_{in} , 出力線間電圧 v_{u-v} , 出力電流 i_u , i_w (a) VSI (b) QZSI

3.5.2 入出力波形

図 3.11 は, VSI, QZSI の入力電圧 V_{in} , 出力線間電圧 v_{u-v} , 出力電流 i_u , i_w を示す。両回路の出力電力は VSI は 316 W, ZSI は 368 W である。図 3.11(a) より, VSI の v_{u-v} の振幅は V_{in} 等しくなる

表 3.2 製作した VSI の仕様

Input voltage	V_{in}	100 V
Output frequency	f_{out}	100 Hz
Control frequency	$f_{control}$	20 kHz
Modulation ratio	m	0.8
Dead-time	T_{dead}	1 μs
DC link capacitor	C_{dc}	200 μF
RL load	R_o, L_o	28.6 Ω , 3.14 mH
Load connection		Δ
Power factor angle		11.7°
Switch	$Q_{1\sim6}$	SCT2160KE 1200 V, 22 A

表 3.3 製作した QZSI の仕様

Input voltage	V_{in}	100 V
Output frequency	f_{out}	100 Hz
Control frequency	$f_{control}$	20 kHz
Modulation ratio	m	0.8
Short-through ratio	D_{sh}	0.12
Impedance source	L, C	1 mH, 100 μF
RL load	R_o, L_o	33.3 Ω , 3.14 mH
Load connection		Δ
Power factor angle	9.92°	
Switch	$Q_{1\sim6}$	SCT2160KE 1200 V 22 A
Diode	D	C3D20060D 600 V 28 A

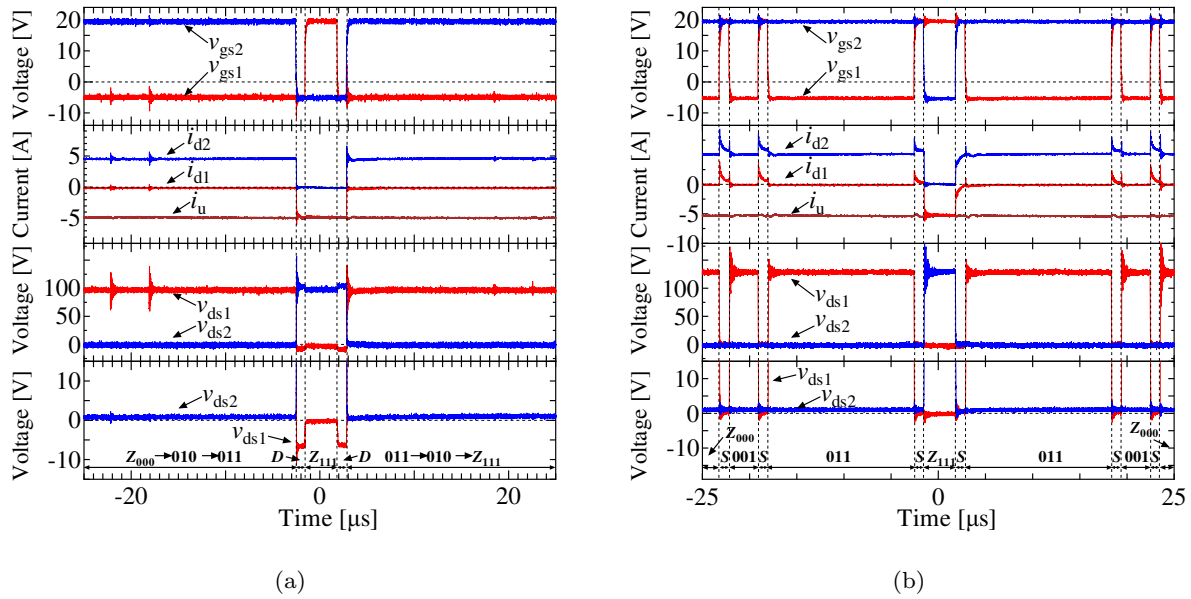


図 3.12 兩回路方式の図 3.11(b) の $t = 0$ 付近における 1 制御サイクル中の U 相レグのゲートソース電圧 v_{gs1} , v_{gs2} , ドレイン電流 i_{d1} , i_{d2} , 出力電流 i_u , ドレインソース電圧 v_{ds1} , v_{ds2} (a) VSI (b) QZSI

のに対して、図 3.11(b) に示すように QZSI は、上下短絡動作による昇圧動作により、入力電圧に比べ、出力電圧の最大値は増加する。この時、 V_{in} に対して、DC リンク電圧の最大値 v_{pn}^* と等しい v_{u-v} の最大値は 1.4 倍となった。ここから逆算される回路上での 1 回当たりの上下短絡区間の長さは式 2.15 より $1.2 \mu s$ となり、設定値の $1 \mu s$ に比べて $0.2 \mu s$ 増加していた。この上下短絡区間の増加の主な原因は、上下短絡区間から非上限短絡区間に移行する際、MOSFET の端子間の寄生容量の充電に要する時間があるためである。しかし、このような上下短絡動作で生ずる誤差は、各部の電圧を測定し、 D_{sh} 及び m を制御することで解決可能である。

次に出力電流に注目すると、QZSI は VSI に比べて出力電流波形のゼロクロス付近での歪みが小さいことが確認できる。両者の出力電流 i_u の全高調波歪は、基本波周波数 100 Hz に対して QZSI は 3.70%，VSI は 6.23% となった。QZSI の電流波形の歪みが VSI に比べて低減した主要因として、上下短絡動作により電圧誤差を生むデッドタイムが生じないためである。以上より、提案方式による変調が良好な三相交流出力波形を生成可能なことを確認した。

3.5.3 レグ内の電流経路

図 3.12 に VSI, QZSI の U 相レグの上下の SiC-MOSFET, Q_1 , Q_2 の図 3.11(a), 図 3.11(b) における $t = 0$ 付近での電圧・電流波形を示す。図 3.12 は、上から 1 段目にゲートソース電圧 v_{gs1} , v_{gs2} , 2 段目にドレイン電流 i_{d1} , i_{d2} , 負荷へ向かう向きを正とする出力電流 i_u , 3 段目にドレインソース電圧 v_{ds1} , v_{ds2} , その 0 V 付近を拡大したものを 4 段目に示している。図 3.12 において、QZSI と VSI で実行される Active 区間と Zero 区間は同じ長さであり、 $000(Z_{000}) \rightarrow 010 \rightarrow 011 \rightarrow 111(Z_{111}) \rightarrow 011 \rightarrow 010 \rightarrow 000(Z_{000})$ となる。そして、スイッチングパターンの切り替わりの際に、VSI ではデッドタイム (D), QZSI では 3 レグ短絡 (S) が挿入される。

図 3.12(a) より、VSI では出力電流 i_u がデッドタイム中は、 Q_1 のボディダイオードに負荷電流 i_u が通電する。このとき、 Q_1 の両端にボディダイオードの順方向電圧に相当する 3 V 以上の電圧降下が生じ

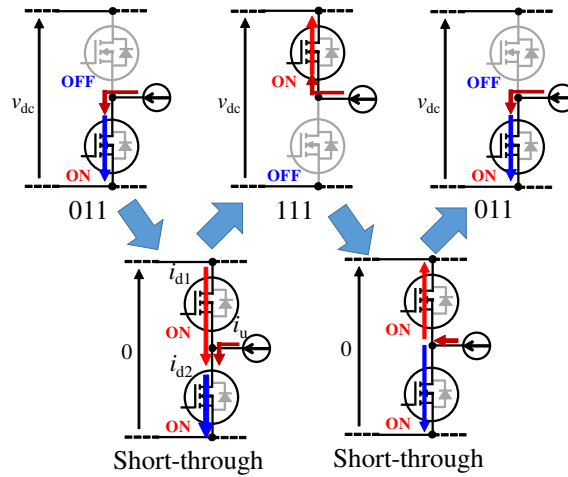


図 3.13 図 3.12(b) における QZSI の U 相レグの電流経路

ていることが確認できる。一方、図 3.12(b) より、QZSI では、3 レグ短絡がスイッチングパターンの切り替えに合わせて発生するためスイッチングは Q_1 は 3 回、 Q_2 では 1 回となることが確認できる。

図 3.13 に示すように図 3.12(b) 中央の $011 \rightarrow 111(\mathbf{Z}_{111}) \rightarrow 011$ となる区間に着目する。VSI においてデッドタイムだった区間は、上下短絡動作となり、 v_{gs1} 、 v_{gs2} がオーバーラップしていることが確認できる。スイッチングパターンが $011 \rightarrow \mathbf{S} \rightarrow 111$ と移行する際には区間 \mathbf{S} において、負荷電流に重畳して、 Q_1 から Q_2 に向かってインピーダンスソースからの短絡電流が流れていることが確認できる。次に、 $111 \rightarrow \mathbf{S} \rightarrow 011$ に移行する際には、 Q_1 のチャンネルに逆方向に流れていた負荷電流 i_u が上下短絡区間を介して次にオン状態となる Q_2 に転流する。そして、 Q_2 がオン状態となるのと同時に完全に Q_2 へ i_u が転流するのが確認できる。この時、 $011 \rightarrow \mathbf{S} \rightarrow 111$ へ移行した場合と デバイスの電流の経路が異なるのは、 \mathbf{S} に移行する際に U 相に比べて、他のレグの方が先に短絡動作を開始したことで Q_2 の出力容量の放電が Q_1 を通じて、他の先に短絡したレグを通じて行われたためである。

以上のことから、QZSI は、制御サイクル上のいずれの上下短絡区間 \mathbf{S} においても、VSI のデッドタイム区間 \mathbf{D} で見られたボディダイオードへの通電による順方向電圧が、上下短絡区間中の SiC-MOSFET 内の電流の状態に関わらず、 v_{ds1} 、 v_{ds2} に現れていない事を確認した。従って、提案制御を実装した QZSI では、負荷電流及び上下短絡電流は SiC-MOSFET のチャンネルに常に通電している。

3.5.4 SiC-MOSFET の運転状態の可視化と損失解析

前述したレグの運転波形は 1 制御サイクル分の動作であり、出力周波数 1 サイクルに対して提案方式による SiC-MOSFET のボディダイオード無通電運転が可能であることを実証する必要がある。そこで、運転中の VSI 及び QZSI の Q_1 の v_{ds1} , i_{d1} をオシロスコープを用いて出力周波数 1 サイクル分測定し、SiC-MOSFET の $V_{ds}-I_d$ 特性上に動作点としてプロットし、両回路の SiC-MOSFET の動作の可視化を行った。 v_{ds1} , i_{d1} のサンプリングは 10 MS/s で行っており、動作点 1 つ当たりの時間分解能は 100 ns である。従って、十分にデバイスの導通状態を捉えることが出来る。

図 3.14 に両回路上の SiC-MOSFET の動作点を $V_{ds}-I_d$ 特性上にプロットし、原点付近を拡大したものを示す。図 3.14(a) より、VSI 上の SiC-MOSFET の動作点は、チャネルの特性に加えて、デッドタイムでのボディダイオードの通電によりボディダイオードの特性上にも現れている。図 3.14(b) より、QZSI では、上下短絡動作によるデバイス電流の増加は起こるが、チャネルの特性付近にのみ動作点が集中し、ボディダイオードの特性付近には、動作点が現れていない。従って、負荷電流及び上下短絡電流は、1 出力サイクル中、全ての動作領域において MOSFET のチャネルに通電することが実証できた。

次に、ボディダイオード無通電運転がデバイスに生ずる損失に与える影響を明らかにするために、両回路間でデバイスに生ずる損失の比較を行った。図 3.15 は、図 3.12 の 1 制御サイクルで生じる損失を波形解析により分離したものである。導通損失は、電流波形とデバイスの $V-I$ 特性、スイッチング損失は電圧・電流波形の積から求めている。図 3.12 は、図 3.11 上で負荷電流 i_u が最大となる $t=0$ での波形であり、両回路においてデバイスに最も損失が生ずる区間での損失分離結果となる。

図 3.15(a) と図 3.15(b) より、VSI では Q_1 のボディダイオードの通電による損失は 1.15 W、QZSI の上下短絡動作による導通損失は 0.974 W であり、ボディダイオードの通電に比べて導通損失が低減されている。一方、上下短絡動作の挿入によってスイッチング回数が増加する QZSI は、スイッチング損失は 0.728 W となり、VSI の 0.28 W に対して 2.6 倍増加している。よって、ボディダイオードへの通電が回避出来ない VSI に比べて、ZSI の導通損失は MOSFET の低オン抵抗化により更なる削減が可能である。スイッチング損失の低減には、インバータ部分のスイッチング回数の低減、スイッチングの高速化が必要である。特に割合の大きいターンオフ損失は、オン抵抗と反比例の関係にあるデバイスのドレインソース間の寄生容量の大きさに依存する。従って、QZSI の全体の損失を低減するためのデバイスの選定には、オン抵抗の低減だけでなく寄生容量の低減も同時に考慮する必要がある。

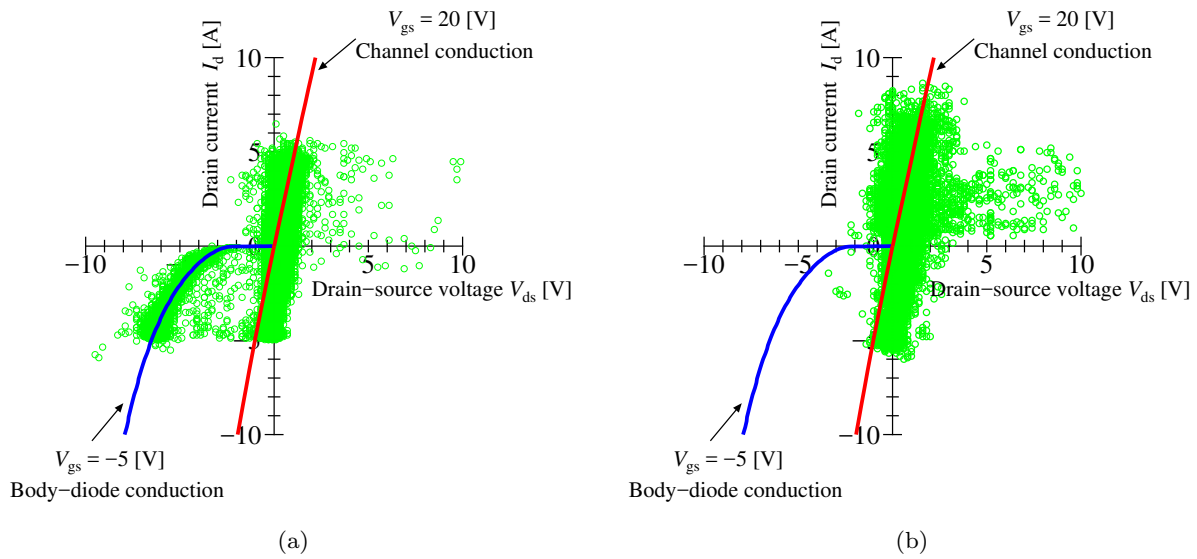


図 3.14 両回路における SiC-MOSFET の動作点 (a) VSI (b) QZSI

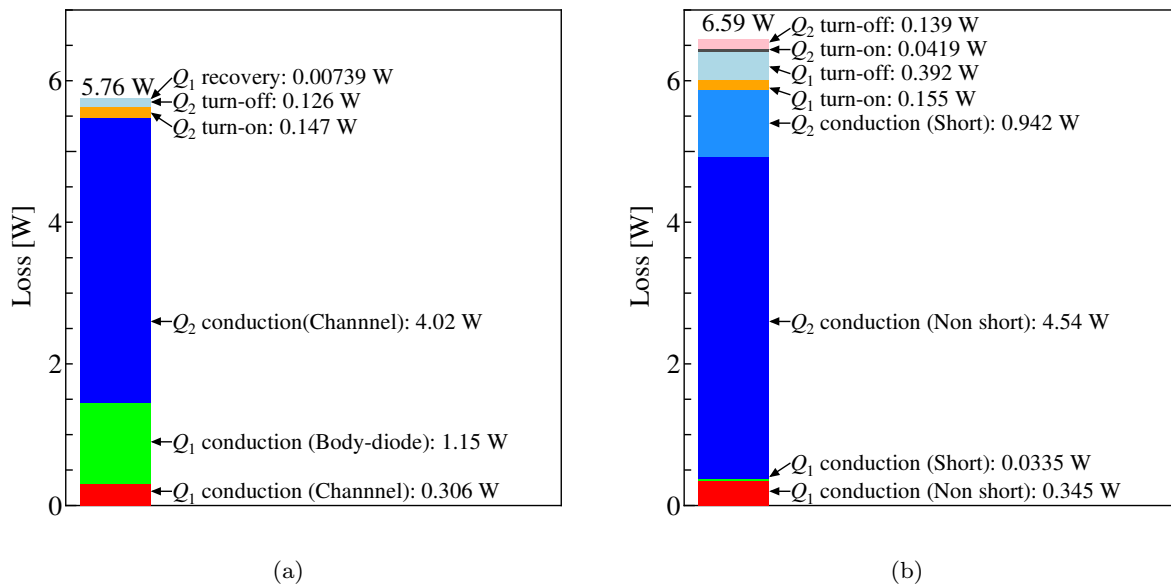


図 3.15 両回路の図 3.12 の 1 制御サイクル中の損失解析 (a) VSI (b) QZSI

3.6 3章のまとめ

3章では、MOSFET を搭載した ZSI の上下短絡動作を利用したボディダイオード無通電運転について、SiC-MOSFET に対して導入した際の効果、SVM 方式を用いた制御方法の実装と実験によるボディダイオード無通電運転の実証について述べた。

これまでに SiC-MOSFET のボディダイオードの通電を回避や影響の抑制のために、外付けのダイオードの接続やデバイス構造の工夫、制御によるデッドタイムの短縮が提案されてきた。これらの方法は、ボディダイオードへの通電の回避や影響の抑制が可能だが、部品点数や寄生容量の増加によるスイッチング特性の悪化、セルピッチを増やせないことによりチャネル抵抗削減が難しくなるなどの SiC-MOSFET の特性に対して制約が生ずる。一方、回路と MOSFET の動作を利用する本提案は、搭載する MOSFET に対してこれらの制約を与えることなくボディダイオードへの通電を回避出来、ZSI が SiC-MOSFET の優れた特性のみを享受することが可能になる。そして、今後のデバイス技術の進展によりボディダイオード無通電運転を考慮した SiC-MOSFET が登場すれば更なる高性能化の余地があると期待できる。

ボディダイオード無通電運転を実現するための制御方法としてスイッチングパターンの切り替えの際の 3 レグ短絡の挿入を提案した。提案した制御の実現にあたり、従来の三角波比較 PWM 方式でなく、スイッチングパターンの導出と分配が容易な SVM 方式に着目し、その実装方法を示した。そして、SiC-MOSFET を搭載した VSI および ZSI を用いて実験を行い、提案する制御により ZSI がボディダイオード無通電運転が可能なることを明らかにした。両回路のデバイスの損失解析から、デッドタイムにおけるボディダイオードへ通電に比べて、チャネルに通電する上下短絡区間で生ずる導通損失が少ないことを明らかにした。従って、チャネルの通電のみで運転可能な ZSI は、SiC-MOSFET の低抵抗化による更なる損失の低減が可能である。以上より、本章で提案する ZSI の上下短絡動作を利用した MOSFET のボディダイオード無通電運転は、高性能デバイスである SiC-MOSFET 特性を活かし、インバータシステムの高効率化と高出力密度化、そして高信頼化を可能にする方法であると結論付ける。

第 4 章

上下短絡動作の最適化

4.1 4 章の概要

4 章では、MOSFET を搭載した QZSI の上下短絡動作時において、1 レグ短絡と 3 レグ短絡の 2 つの短絡方式について導通損失、スイッチング損失の観点で比較を行い、高性能デバイス適用時の低損失化に最適な短絡方式の検討を行う。ZSI の上下短絡動作は、デバイスに負荷電流と比較して大きな短絡電流が流れると共に短絡電流と DC リンク電圧によるスイッチングが行われる。従って、回路の導通損失とスイッチング損失を大きく左右する動作である。一方で、上下短絡区間において、短絡するインバータのレグの数には自由度が存在する。短絡させるレグの個数と、そこで生ずる損失の関係を明らかにすることで、適切な上下短絡の方式の実行による QZSI の損失低減が可能になると考えられる。特に 3 章で提案したように、MOSFET のボディダイオードの無通電運転を実現するには、スイッチングパターンの切り替わりの度に上下短絡動作を挿入する必要がある。よって、従来の制御方式と比べて、デバイスの駆動回数が増加に伴うスイッチング損失への影響が懸念される。また、MOSFET の抵抗性の導通特性と高速なスイッチングが可能という特性も短絡方式の選択に考慮する必要がある。

はじめに、検討の対象となる 2 種類の上下短絡動作の方式である 1 レグ短絡と 3 レグ短絡について述べる。次に、両短絡方式において、デバイスに流れる電流値の導出と比較を行い、MOSFET を搭載する際に導通損失を低減するのに適切な方式を明らかにする。そして、スイッチング特性を両短絡方式におけるインバータ部分とインピーダンスソースのダイオードに生ずる損失から比較する。この比較に当たり、インバータを一つのスイッチとして用いたダブルパルス試験を提案する。この試験方法を用いて、短絡方式ごとのインバータとダイオードのスイッチング損失を測定し比較を行う。最後に両短絡方式を SiC-MOSFET を搭載した QZSI に適用し、損失解析によって上記の検討結果が QZSI の動作に反映されることを検証し、高性能デバイスを適用した ZSI に最適な上下短絡方法を明らかにする。

4.2 1 レグ短絡と 3 レグ短絡

図 4.1 は、三相 ZSI における短絡方式である 1 レグ短絡と 3 レグ短絡の概要を示している。1 レグ短絡は、スイッチングパターンの切り替わりの前後で切り替わるレグのみを短絡させる短絡方式である [23–28]。3 レグ短絡は、前後のスイッチングパターンと関係なく、全てのレグを短絡させる短絡方式である [69–74]。2 章でも述べたように、変調方法の性質上、1 レグ短絡が実装されることが多く、3 レグ短絡の報告例は少ない傾向にある。文献 [71] では、Si-IGBT を用いた場合について、1 レグ短絡と 3 レグ短絡における導通損失とスイッチング損失について、計算による検討が行われている。この検討では、デバイスの駆動回数と短絡電流の分流により導通損失とスイッチング損失が計算されており、同じ変調方式であれば、3 レグ短絡が導通損失とスイッチング損失の低減が可能であると述べられている。しかし、高性能デバイスである MOSFET の持つ抵抗性の特性および高速スイッチングと短絡方式の関係

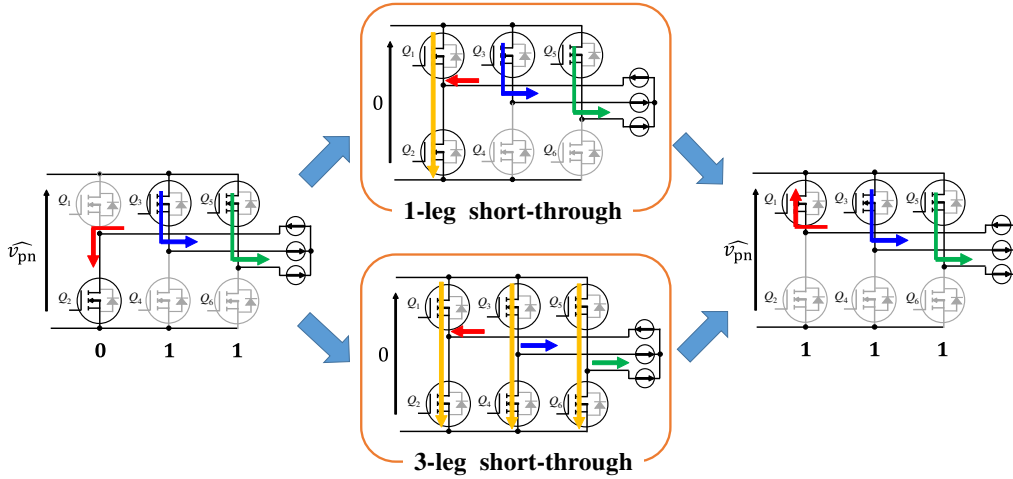


図 4.1 検討の対象となる 1 レグ短絡と 3 レグ短絡

については、実験を含めて、まだ十分な検討が行われていないと言える。

4.3 計算による 1 レグ短絡と 3 レグ短絡のデバイス電流の比較

上下短絡時の各デバイスの電流は、電流源であるインピーダンスソースのインダクタ電流と負荷電流の関係を満足するように決定される。ここでは、デバイスをオン抵抗 R_{on} の抵抗として、1 レグ短絡と 3 レグ短絡におけるデバイスに流れる電流の導出について述べる。

図 4.2 に 1 レグ短絡時の各部の電流を示す。上下短絡状態にある U 相レグの出力節点において、出力電流 i_u に対してハイサイドの Q_1 の電流を i_1 、ローサイドの Q_2 の電流を i_2 とすると i_u は

$$i_u = i_1 - i_2 \quad (4.1)$$

となる。図 4.2(a) に示すように、上下短絡している U 相レグ以外の V, W 相のレグのハイサイドがオン状態に無い場合、インピーダンスソースからの短絡電流 $2i_{rmL}$ と i_1 と等しくなるため、 i_1 と i_2 は

$$i_1 = 2i_L \quad (4.2)$$

$$i_2 = 2i_L - i_u \quad (4.3)$$

となる。

図 4.2(b) のように上下短絡している U 相レグ以外の V, W 相のいずれかのレグのハイサイドがオン状態にある場合、インピーダンスソースからの短絡電流の一部は他のレグに分流することになる。この時他のレグに分流する電流を i_{other_leg} とすると i_1 と i_2 は

$$i_1 = 2i_L - i_{other} \quad (4.4)$$

$$i_2 = 2i_L - i_u - i_{other} \quad (4.5)$$

となる。 i_{other_leg} の導出には各相の出力電流と上下短絡動作が行われる際のスイッチングパターンの情報が必要である。

図 4.3 に 3 レグ短絡時の電流経路を示す。短絡している 3 つのレグを代表して U 相レグに着目する。3 レグ短絡中に DC リンクに生ずる電圧降下 v_{dc_3leg} は、短絡電流 $2i_L$ が 2 直列 3 並列の合成抵抗に流れるため、

$$v_{dc_3leg} = \frac{2}{3} R_{on} 2i_L \quad (4.6)$$

となる。この時の v_{dc_3leg} は Q_1 と Q_2 で生ずる電圧降下の和と等しいので

$$\begin{aligned} \frac{2}{3}R_{on}2i_L &= R_{on}i_1 + R_{on}i_2 \\ \therefore \frac{4}{3}i_L &= i_1 + i_2 \end{aligned} \quad (4.7)$$

ここで U 相レグの出力節点での各電流の関係は式 4.1 を満たすので式 4.7 へ代入すると i_1 と i_2 は

$$i_1 = \frac{2}{3}i_L + \frac{1}{2}i_u \quad (4.8)$$

$$i_2 = \frac{2}{3}i_L - \frac{1}{2}i_u \quad (4.9)$$

となる。従って、3 レグ短絡は、1 レグ短絡と異なりデバイス電流を各相の電流のみで計算することが可能である。

図 4.4 に $G = 2$ と設定し、各短絡方式を適用した際の上下短絡動作によってデバイスに流れる最大電流を示している。各電流は出力電流の振幅によって正規化されており、入出力電圧の比と変調条件が一定の場合、出力電力に関わらずこの関係が成立する。1 レグ短絡は、3 レグ短絡に比べて、ピーク電流が増加する一方で、制御サイクル中のデバイスあたりに生ずる上下短絡時間の長さは、3 レグ短絡では T_{sh} となるのに対して、1 レグ短絡では、各レグの上下短絡動作は 1 制御サイクル中に 2 回のみ行われるため $\frac{T_{sh}}{3}$ に減少する。

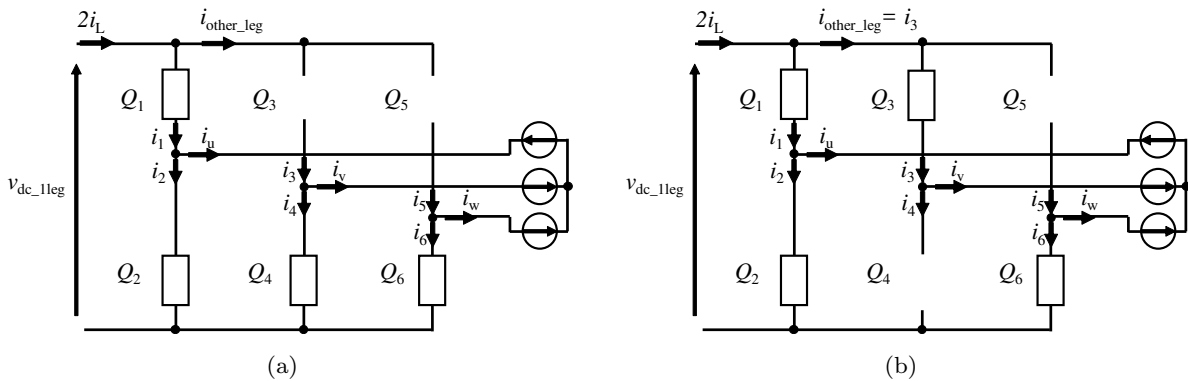


図 4.2 1 レグ短絡動作時の電流経路 (a) 上下アームのどちらかで 1 つのスイッチ ON 状態の場合
(b) 上下アームのどちらかで 2 つのスイッチ ON 状態の場合

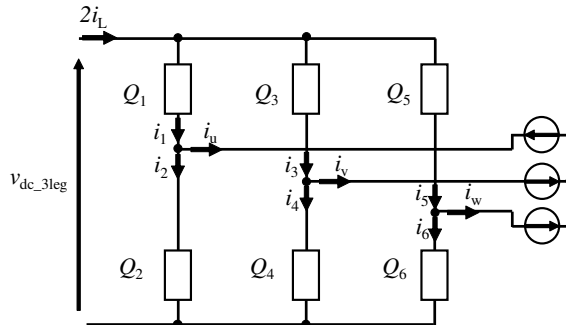


図 4.3 3 レグ短絡時の電流経路

図4.5に、各運転条件における上下短絡方式の違いによるデバイス電流の実効値の比較を示す。デバイス電流の実効値は、制御サイクルにおける各スイッチングパターンの実行時間とその時にデバイス流れる電流を出力サイクル1周期にわたって計算することで求めた。運転条件の一部は、この後の節で述べるQZSIを用いた実機実験の条件に基づいている。

図4.5(a)は、総合昇圧比 $G = 2$ として、入力電圧 $V_{in} = 100$ V、出力線間電圧 $V_{out} = 141$ Vとして、出力電流 I_o 、即ち出力電力 P_{out} が増加した場合のデバイス電流の変化を示している。この条件では、出力電流、入力電流が同時に増加するため、両短絡方式ともにデバイス電流が増加する。両短絡方式を比較すると、3レグ短絡の方が1レグ短絡に比べて、出力電力 P_{out} の増加に対するデバイス電流の増加が抑えられていることが分かる。

図4.5(b)では、出力電力 P_{out} と入力電圧 V_{in} を一定として、総合昇圧比 G を増加させた場合のデバイス電流の変化を示している。この条件では、 G の増加に伴い、入力電流 I_{in} が一定のまま、出力電流 I_o が低下する。両短絡方式を比較すると、1レグ短絡ではデバイス電流が増加し、3レグ短絡ではデバイス電流が減少する結果が得られた。このことから1レグ短絡におけるデバイス電流の大きさは、上下短絡電流の影響が強く、3レグ短絡の場合では、出力電流の影響が強いことが分かる。また、この結果から3レグ短絡動作の方が、総合昇圧比 G の高い運転に適していることが分かる。

図4.5(c)では、出力電力 P_{out} と出力電圧 V_{out} を一定として、総合昇圧比 G を増加させた場合のデバイス電流の変化を示している。この条件では、 G の増加に伴い、出力電流 I_o が一定のまま、入力電流 I_{in} が低下する。両短絡方式を比較すると、3レグ短絡の方が、1レグ短絡に比べて、入力電圧の低下による G の増加に対してデバイスの電流増加が抑えられており、総合昇圧比 G を高い運転に適していることが分かる。

以上の計算結果から、MOSFETを搭載したZSIでは、あらゆる入出力条件において、3レグ短絡を搭載することで、1レグ短絡に比べて、デバイス電流の実効値を低減することができることが明らかになった。よって、導通損失の低減には3レグ短絡が最適である。

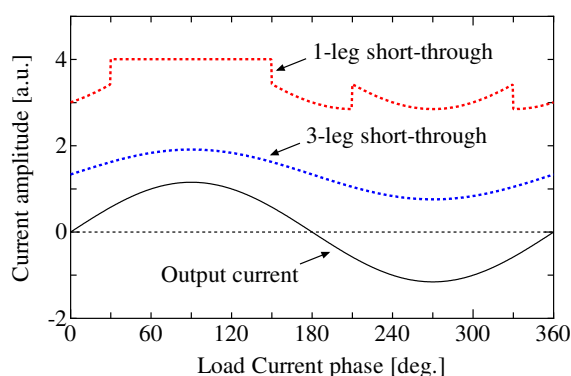


図4.4 各短絡方式で上下短絡動作区間にデバイスに流れる最大電流

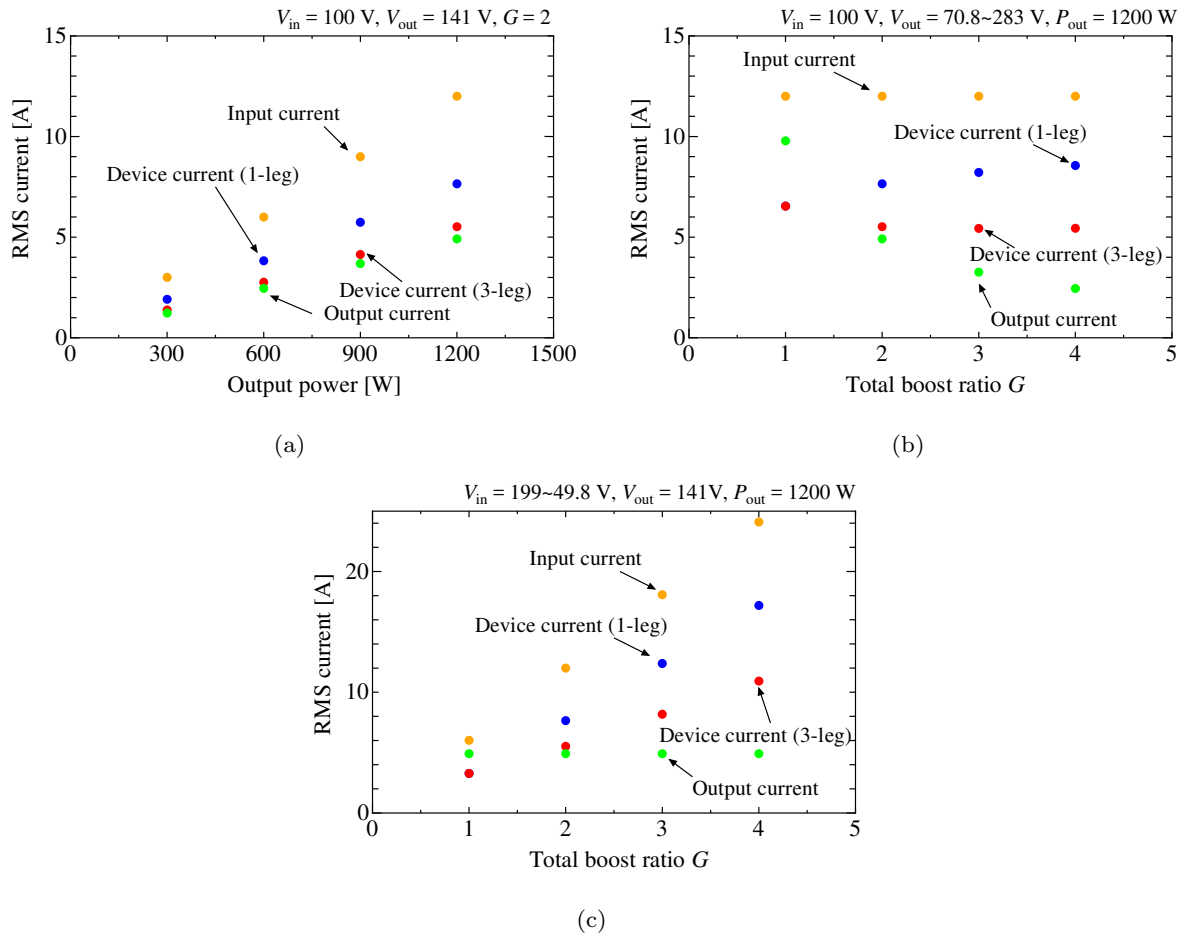


図 4.5 各短絡方式を適用した際の各運転条件における各部の電流の変化 (a) G を一定として, I_o が増加する場合 (b) P_{out} , V_{in} を一定として, G が増加する場合 (c) P_{out} , V_{out} を一定として, G が増加する場合

4.4 ダブルパルス試験による 1 レグ短絡と 3 レグ短絡のスイッチング特性の比較

4.4.1 試験回路

インバータの上下短絡動作による昇圧動作を行う ZSI のスイッチング現象は、VSI がレグの内部でスイッチング現象が完結しているのに対して、インバータ上のデバイスとインピーダンスソースの回路上の全て要素が寄与する。そこで、インバータ全体を一つのスイッチとした、ダブルパルス試験を応用したスイッチング損失の検討法を提案する。この試験方法では、ZSI を運転せずにデバイス部分に生ずるスイッチング波形の生成が可能になるため、スイッチング損失の検討を容易に行うことが出来る。

図 4.6 に提案するダブルパルス試験回路を示す。従来のダブルパルス試験は、レグの下アームのスイッチを 2 回駆動することで、同電圧・電流におけるスイッチ及びダイオードの誘導性負荷接続時のターンオン・ターンオフ波形を取得することができる。一般的にデバイスのスイッチング特性の評価に用いられている手法である。今回は、ZSI のインバータ部のスイッチング特性を評価するために図 4.7 に示すように、下アームのスイッチをインバータに置き換える。スイッチのオフ状態を非常上下短絡区間をゼロベクトル **000** で表現し、オン状態で 1 レグ短絡、3 レグ短絡を行うことで、ZSI 上で行われるインバータとダイオードのスイッチング特性を再現することが出来る。

表 4.1 に実験条件を示す。入力電圧を 300 V として、スイッチング時のインバータおよびダイオードに流れる電流を 20 A 程度になるように設定した。この時の入力電圧は、短絡動作によって生ずる DC リンクに生ずる最大電圧 v_{rmpn} と等しくなる。

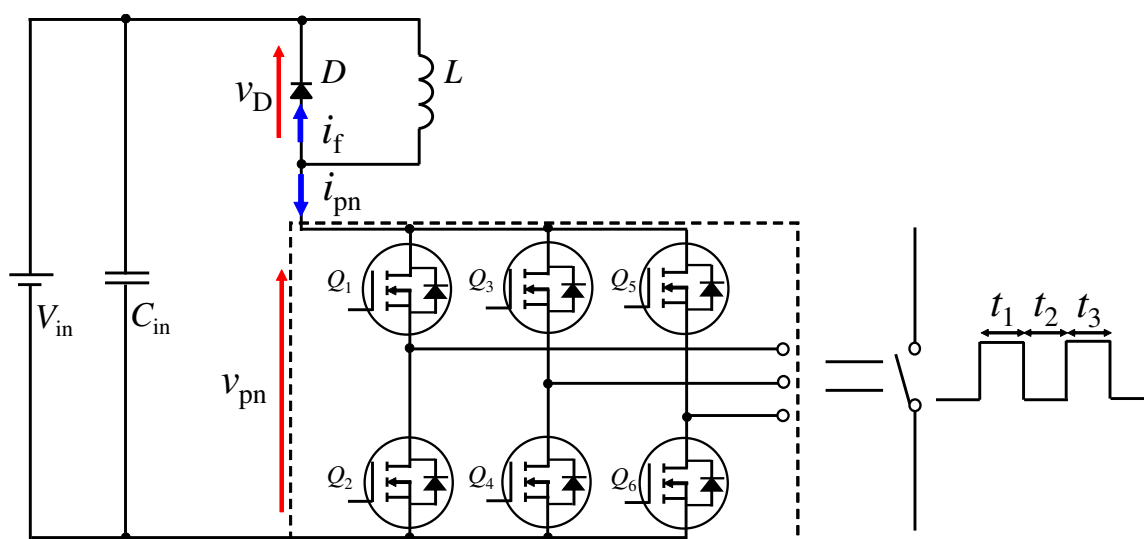


図 4.6 評価に用いたダブルパルス回路

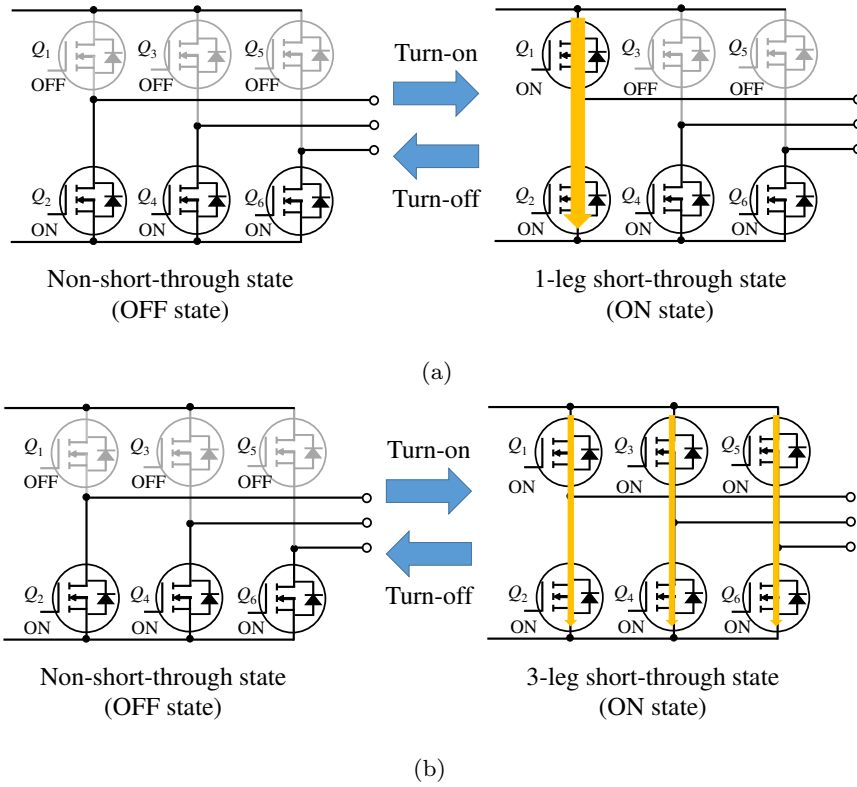


図 4.7 ダブルパルス回路上のインバータ部分の動作 (a) 1 レグ短絡 (b) 3 レグ短絡

表 4.1 ダブルパルス試験条件

Input voltage	V_{in}	300 V
Input capacitor	C_{in}	1650 μ F
Inductor	L	200 μ H
Gate resistance	R_g	22 Ω
Time of Intervals	t_1, t_2, t_3	15, 5, 3 μ s
Switch	$Q_{1\sim6}$	SCT2160KE 1200 V 22 A
Diode	D	C3D20060D 600 V 28 A

4.4.2 ダブルパルス試験による損失測定

はじめに、非上下短絡動作から 1 レグ短絡・3 レグ短絡動作に移行する際のインバータ及びダイオードのスイッチング特性を評価を行った。

図 4.8 にこの時に QZSI 上で生ずるの回路の電流経路を示す。非上下短絡動作から上下短絡動作に移行する際には、インバータが上下短絡状態となり、インピーダンスソース上のダイオードはターンオフする。この時、ダイオードでは、内部に蓄積したキャリアを吐き出す逆回復現象が生じ、図 4.8 の中央に示すように 2 つのコンデンサをインバータで短絡した状態が発生する。よって、ダイオードには逆回復現象によるスイッチング損失が発生する。そして、インバータにはインピーダンスソース内のインダクタの上下短絡電流 $2i_{rmL}$ に加えて、ダイオードの逆回復電流が流れ込み、立ち下がる DC リンク電圧 v_{pn} との積でターンオン損失が上下短絡に移行するためにオン状態にしたデバイスで発生する。

図 4.9、図 4.10 にダブルパルス試験から測定した両短絡方式におけるインバータ部分とダイオードの各スイッチング波形と計算されたスイッチング損失を示す。図 4.9 より、スイッチング時のインバータ電流 i_{pn} の変化率が 1 レグ短絡に比べて 3 レグ短絡では増加しており、ターンオン損失が $264\mu\text{J}$ から $96.9\mu\text{J}$ に低減されている。これは、3 レグ短絡では i_{pn} が各レグに分流することでデバイス一つ当たりがスイッチングする電流が $\frac{1}{3}i_{pn}$ になり、DC リンク電流 i_{pn} の立ち上がりが高速になったためである。図 4.10 より、インバータ部分の電流の変化率が増加に伴って、3 レグ短絡では 1 レグ短絡に比べて、ダイオードの電流変化率が増加している。電流変化率の増加に伴って、ダイオード両端に生ずるサージ電圧が増加し、スイッチング損失が増加していることが確認できる。この結果から、3 レグ短絡は、1 レグ短絡に比べてデバイスの駆動回数は増加するが、デバイスあたりの電流が減ることによって、インバータ全体のスイッチング速度を高速化し、ターンオン損失を低減可能であることが明らかになった。

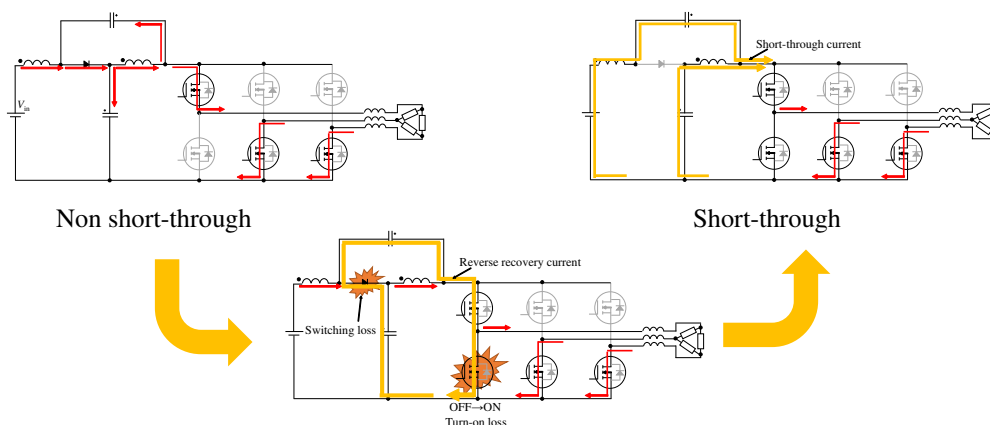


図 4.8 非上下短絡動作 → 上下短絡動作における QZSI の動作

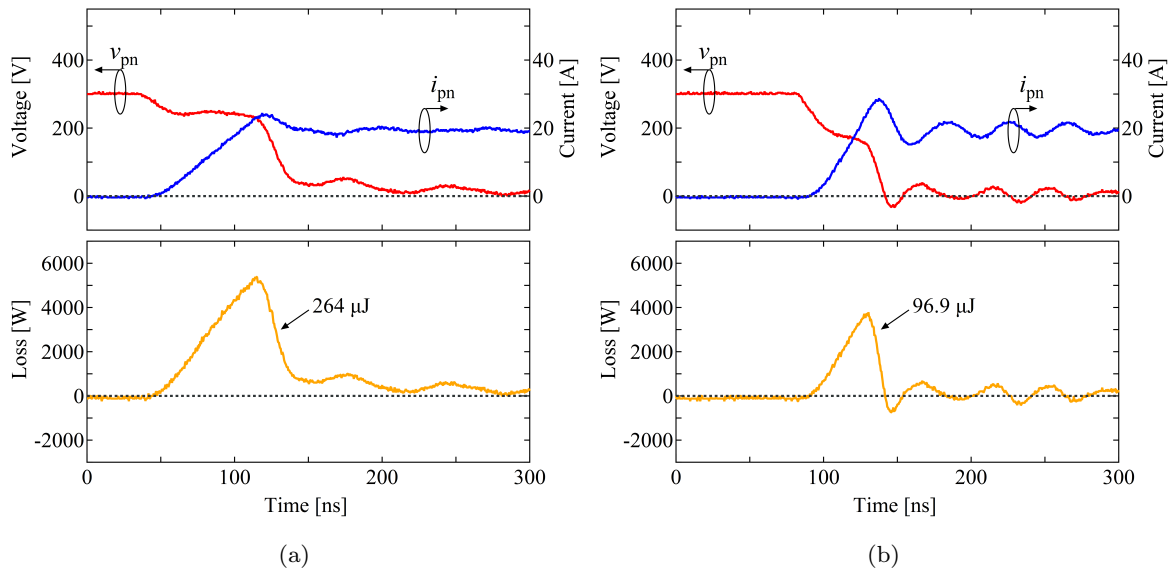


図 4.9 非上下短絡動作 → 上下短絡動作におけるインバータ部分のターンオン損失の比較 (a) 1 レグ短絡 (b) 3 レグ短絡

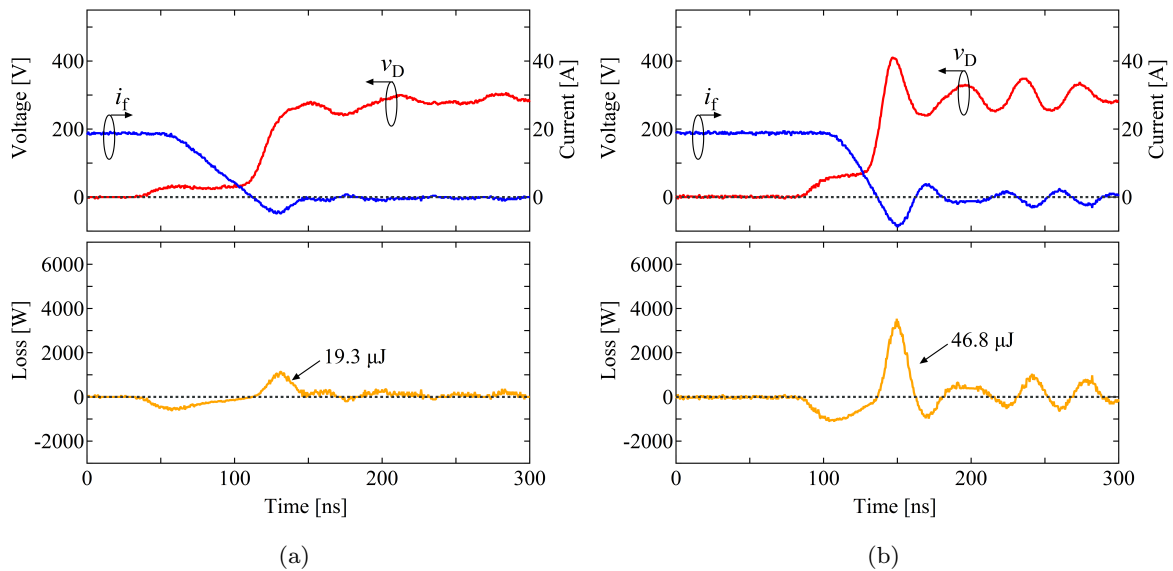


図 4.10 非上下短絡動作 → 上下短絡動作におけるインピーダンスソース上のダイオードのスイッチング損失の比較 (a) 1 レグ短絡 (b) 3 レグ短絡

次に、1レグ短絡・3レグ短絡動作から非上下短絡動作に移行する際のインバータ部分の動作の比較を行う。図4.11にQZSI上で生ずるの回路の電流経路を示す。QZSIが上下短絡動作から非上下短絡動作に移行する際、上下短絡動作中に短絡電流の経路となっていたレグのデバイスをターンオフすると、短絡方式に関係なく、各レグにひとつずつOFF状態のデバイスが発生する。上下短絡動作中、DCリンク電圧 v_{pn} は0Vであるため、非上下短絡動作に移行するには、これらの3つのデバイスの出力容量 C_{oss} を短絡電流によって \hat{v}_{pn} まで充電する必要がある。この時 C_{oss} が充電されるデバイスの個数は、短絡方式に依存しないため、インバータ全体の電圧・電流の変化、インバータ全体のターンオフ損失は短絡方式に寄らず等しくなる。なお、この過程でインピーダンスソース上のダイオードがON状態となる。ダイオードは、ターンオンが外部の電圧の印加によって決定されるため、ターンオン損失は発生しない。

図4.12にダブルパルス試験から測定した両短絡方式におけるインバータ部分のスイッチング波形、スイッチング損失を示す。先に図4.11を用いて述べたように、QZSIでは、短絡方式の違いによらず、インバータ部分に生ずるターンオフ時の波形とスイッチング損失は等しくなることが確認できる。

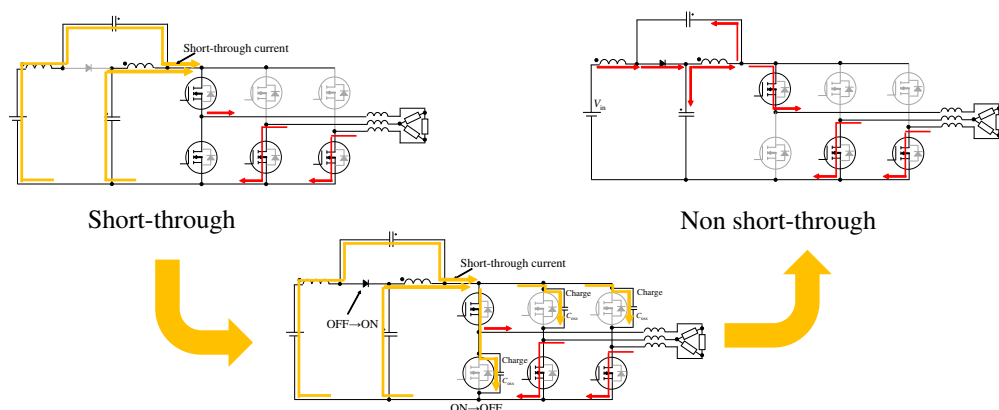


図 4.11 上下短絡動作 → 非上下短絡動作における QZSI の動作

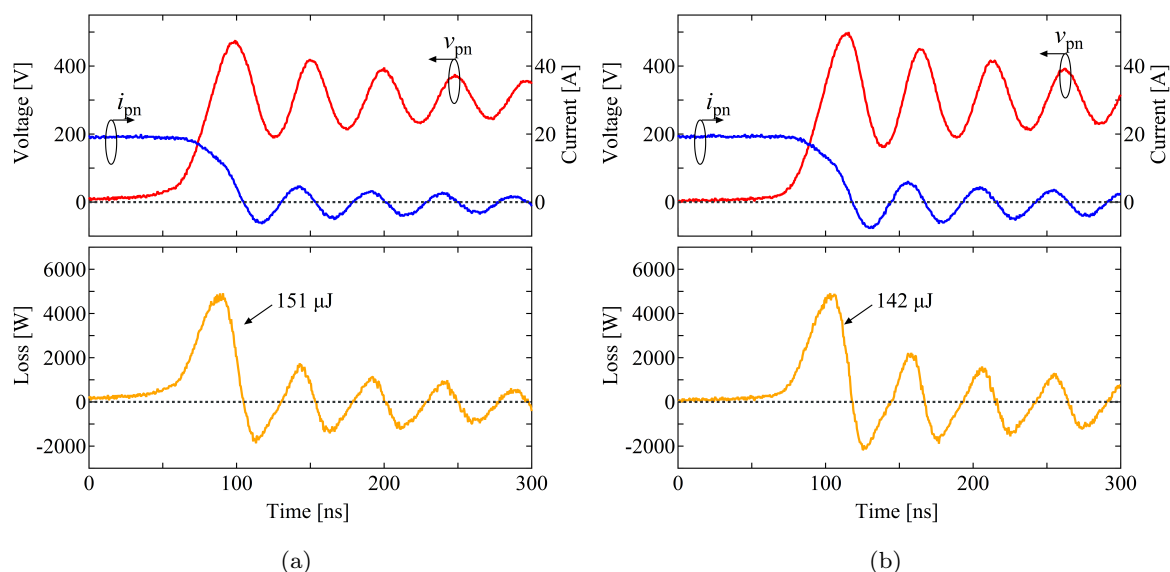


図 4.12 上下短絡動作 → 非上下短絡動作におけるインバータ部分のターンオフ損失の比較 (a) 1レグ短絡 (b) 3レグ短絡

以上のダブルパルス試験から、同じ変調方法およびスイッチングパターンの配置となっている場合、デバイスあたりのスイッチングする電流を低減できる 3 レグ短絡の方が 1 レグ短絡に比べて、ターンオン速度の高速化によるターンオン損失の低減が可能である。また、ターンオフ時の損失は短絡方式によらず、一定であり、デバイスの出力容量がスイッチング速度に影響を与える事が明らかになった。

4.5 QZSI 上での上下短絡方式の違いによるデバイス損失の比較

ここでは、SiC-MOSFET を搭載した QZSI に 1 レグ短絡、3 レグ短絡を実装し、デバイスの損失分離を行うことで、先述した両短絡方式の特性が実際に回路上に反映されることを検証する。製作した QZSI の実機を図 4.13 に仕様を表 4.2 に示す。最大出力電力は、1 kW 程度として、インバータ部分には SiC-MOSFET、インピーダンスソースのダイオードには SiC-SBD を用いた。制御方法は、3 章で提案したボディダイオード無通電運転に用いたものを使用し、上下短絡動作区間を 1 レグ短絡と 3 レグ短絡の切り替えを可能にしてある。

図 4.14 に両短絡方式を、制御周波数 20 kHz、出力電力 1.07 kW で運転した際の入力電圧 V_{in} 、出力線間電圧 v_{u-v} 、 v_{v-w} 、出力電流 i_u 、 i_v 、 i_w 、U 相ハイサイドに接続された SiC-MOSFET に流れる電流 i_{mos} を示す。両短絡方式において、出力線間電圧の最大値が上下短絡比 D_{sh} と入力電圧 V_{in} から式 2.14 によって与えられる $\hat{v}_{pn} = 300$ V に一致しており、正弦波状の出力電流が得られていることから、設定通り QZSI が昇圧・インバータ動作を実行されていることが確認出来る。デバイス電流 i_{mos} に着目すると 4.3 で述べたように 3 レグ短絡の方が 1 レグ短絡に比べて、デバイス電流の最大値を低減している。一方、1 つのレグが行う上下短絡動作の回数が増加するため、短絡電流が流れる部分の波形が密になっている。

QZSI 上のデバイス損失は、オシロスコープを用いて運転中のデバイスの電圧・電流波形を測定し、導通区間とスイッチング動作区間を分離し計算を行った。電圧・電流波形の測定は、HDO4034(テラダイン・レクロイ社製)を用いて出力波形 2 周期分に当たる 10 ms をサンプリング 1 MS/s で取得した。このとき、時間分解能は 10 ns となり、スイッチング波形を十分にとらえることが可能である。導通損失は、取得した電流波形からスイッチング動作区間を除いたデバイスに導通する区間の電流波形を用いて、図 4.15 に示す各デバイスデータシート上の V - I 特性の直線近似モデルから電圧降下を求め、電流との積から計算した。用いたデバイスのパラメータを表 4.2 に示す。スイッチング損失は、デバイスの電圧・電流波形の立ち上がりや立ち下りからターンオンとターンオフを判別し、その区間での電圧・電流波形の積を積分したものを出力サイクルに亘って積分し、平均したものを各スイッチング損失とした。

図 4.16 に両短絡方式を用いて制御周波数 20 kHz で運転した際のデバイスの損失分離の結果を示す。Other となっている部分にはインピーダンスソースのインダクタで生ずる損失が含まれている。回路全体の損失を比較すると、常に 3 レグ短絡動作が低損失な運転を実現しており、最大出力の 1 kW 付近で

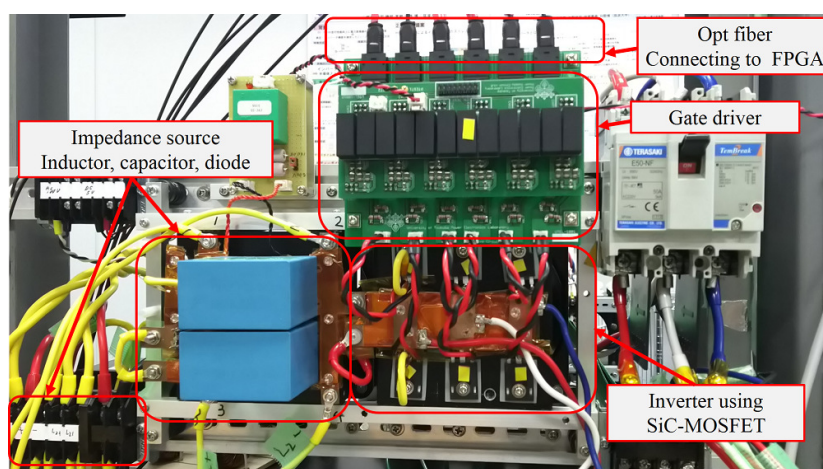


図 4.13 製作した SiC-MOSFET を搭載した QZSI

表 4.2 製作した SiC-MOSFET を搭載した QZSI の仕様

Input voltage	V_{in}	100 V
Output line-to-line voltage	V_{out}	141 Vrms
Output frequency	f_{out}	200 Hz
Control frequency $f_{control}$	20 kHz	
Capacitor voltage	$\overline{v_{C1}}$	200 V
Moderation index m	1	
Short through ratio D_{sh}	0.334	
Total boost ratio	G	2
Impedance source	L, C	1 mH, 100 μ F
RL load	R_o, L_o	50~200 Ω , 3.14 mH
Switch	$Q_{1\sim6}$	SCT2160KE 1200 V, 22 A
	R_{on}	0.16 Ω
Diode	D	SCS240KE 1200 V, 40 A
	V_{sat}, k	0.95 V, 0.0214

は、43% の損失低減を可能にしている。この結果は、3 レグ短絡は 1 レグ短絡に比べて ZSI 全体の損失を低減する上で有効であることを示している。

図 4.16 からインバータ部分の導通損失は、4.3 節で述べた結果と同様に 1 レグ短絡では 3 レグ短絡に比べて導通損失が増加しており、出力電力の増加と共にその差が大きくなっている。また、短絡方式に関わらず、ダイオードの導通損失は、両方式で変化しない。従って、3 レグ短絡は、ZSI のインバータ部分の導通損失の低減に有効である。

図 4.16 より、インバータ部分のターンオン損失は、1 レグ短絡において 3 レグ短絡に比べて 2 倍以上増加している。一方でターンオフ損失は、短絡方式の違いにより変化しないという結果が得られた。ダイオードのスイッチング損失は、1 レグ短絡に比べて 3 レグ短絡の方が増加する結果が得られた。この結果は 4.4 で検討した内容に従うものであり、短絡電流の分流により、ターンオン時のスイッチング速度を高速化できる 3 レグ短絡は、インバータのターンオン損失を低減に有効である。一方で、寄生容量の充電により決定されるターンオフ損失は、短絡方式に関わらず一定であり、低減には、用いるデバイスの寄生容量の低減が必要である。

図 4.17 に出力電力を 830 W 付近において、制御周波数を 10, 20, 30 kHz と変化させた際の損失分離の結果を示す。導通損失として分離した項目は、制御周波数に対して一定であり、スイッチング損として分離した項目は、制御周波数の増加に対して増加している。よって、今回の手法を用いてデバイスの損失分離は、正しく行われていることが確認出来る。

以上の結果から MOSFET のボディダイオード無通電運転を行う ZSI において、3 レグ短絡動作が ZSI の導通損失、スイッチング損失の低減を可能に有効であると結論づける。

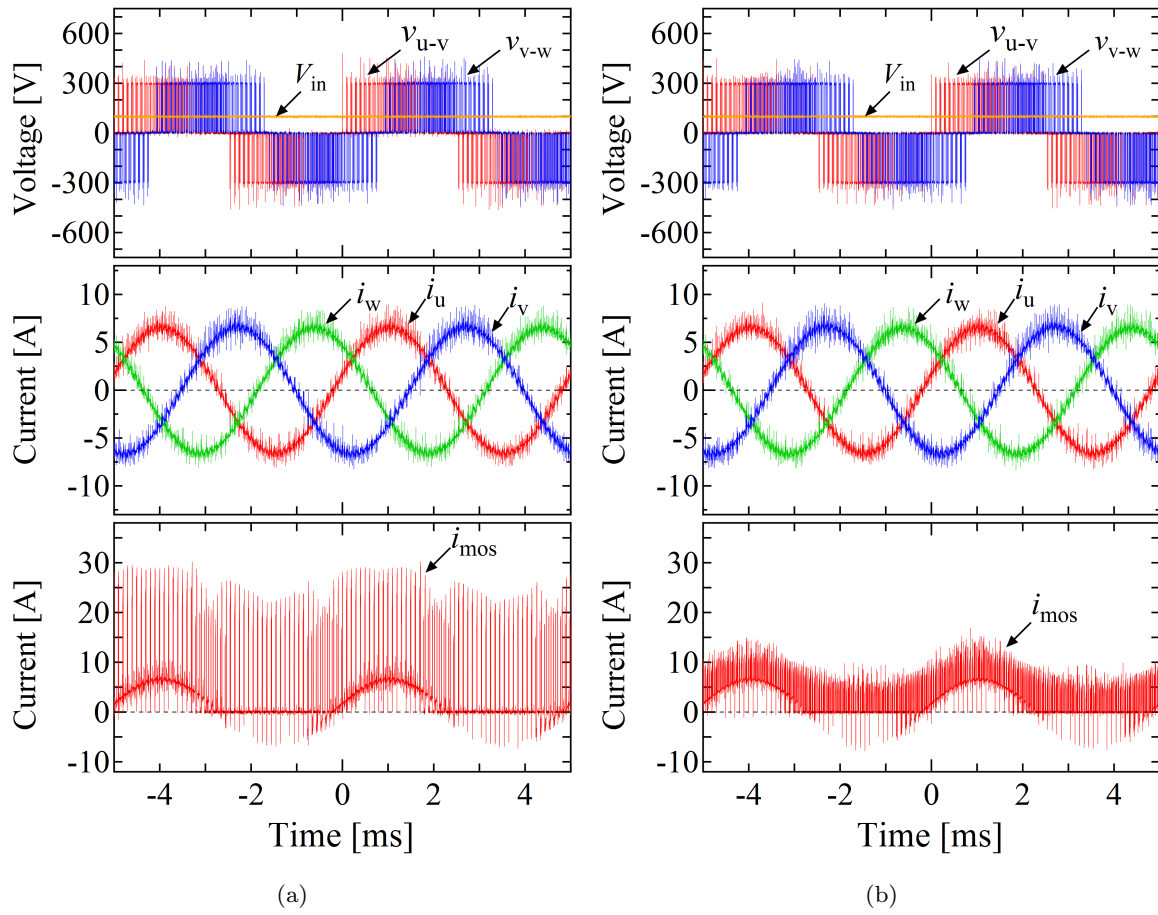


図 4.14 1 レグ短絡と 3 レグ短絡の入出力波形とデバイス電流の比較 (a) 1 レグ短絡 (b) 3 レグ短絡

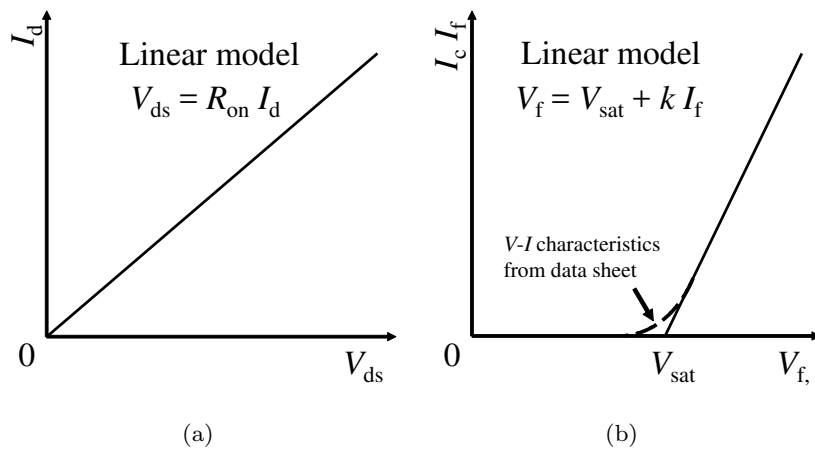


図 4.15 各デバイスの電圧降下の計算に用いた線形モデル (a) MOSFET (b) ダイオード

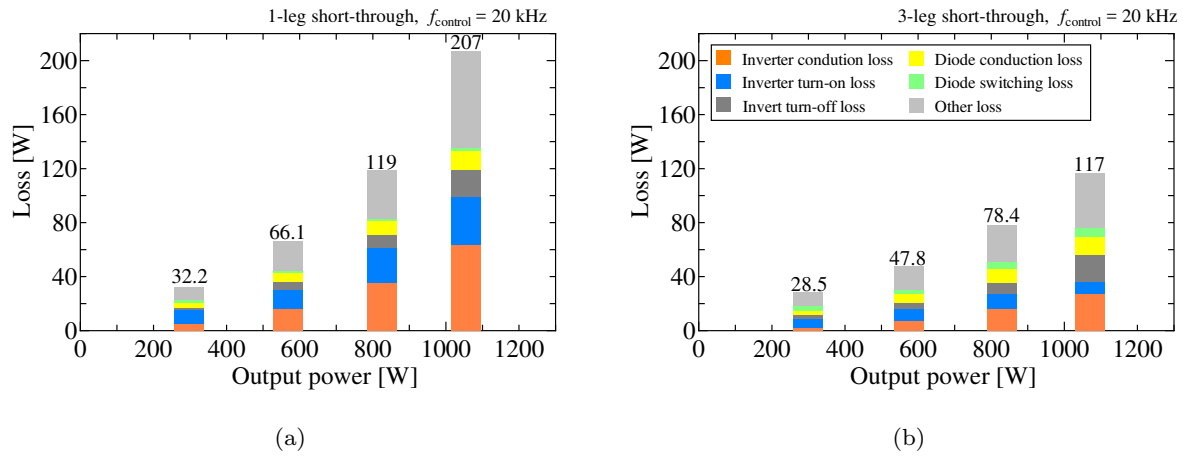


図 4.16 両短絡方式におけるデバイスで生ずる損失の比較 (a) 1 レグ短絡 (b) 3 レグ短絡

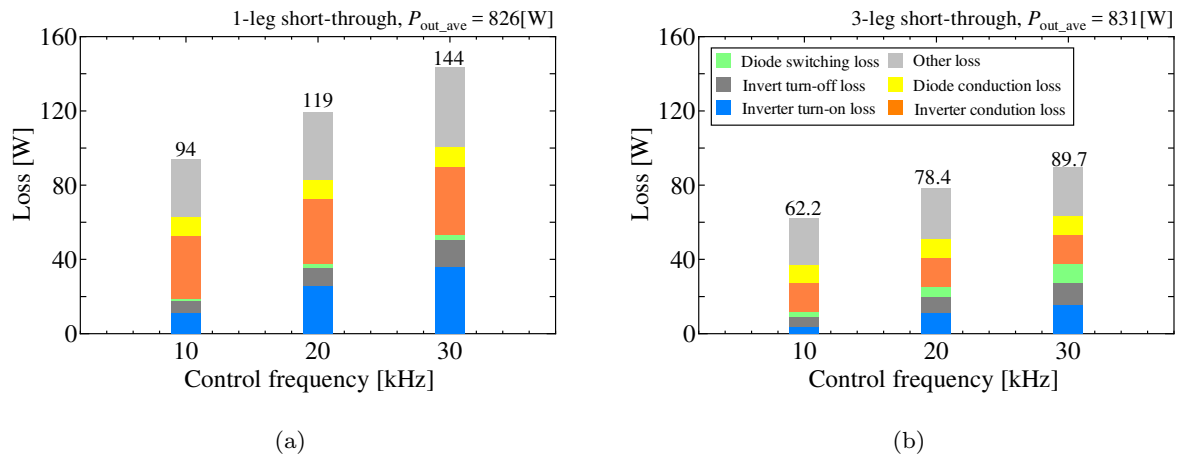


図 4.17 両短絡方式におけるデバイスで生ずる損失の制御周波数に対する変化 (a) 1 レグ短絡 (b) 3 レグ短絡

4.6 4章のまとめ

4章では、MOSFETを搭載したZSIのボディダイオード無通電運転において最適な上下短絡動作を選択することを目的とした。上下短絡動作時のデバイス電流の最大値とスイッチング回数のみでこれまで議論されてきた上下短絡方式の違いによる損失の違いに対して、デバイス電流の実効値を用いた導通損失の比較と、インバータを一つのスイッチとしたダブルパルス試験によるデバイスのスイッチング特性の評価方法を提案し、評価を行った。これらの検討から、導通損失とスイッチング損失の低減において3レグ短絡が1レグ短絡に比べて、上下短絡電流の分流による導通損失の低減とターンオン速度の向上によるスイッチング損失の低減が可能であることを明らかにした。また、ターンオフ損失は、上下短絡方式によらず、デバイスの寄生容量の充電によって決定されるため、その低減には、デバイス自体の寄生容量を低減することが必要なことを明らかにした。そして、これらの検討結果は、実際のQZSIの損失分離の結果とも一致することを確認した。従って、MOSFETを搭載したZSIのボディダイオード無通電運転時には3レグ短絡動作が最適であると結論付ける。

第 5 章

Si-SJ-MOSFET を搭載した高効率 QZSI

5.1 5 章の概要

5 章では、高性能デバイスである Si-SJ-MOSFET を搭載した QZSI と、Si-IGBT を用いた従来インバータシステムの各出力電力・昇圧比における変換効率の比較と、損失解析を行い、高性能デバイスを搭載した QZSI が優位な運転領域と、その要因を明らかにする。Si-SJ-MOSFET は、優れた導通特性を持ちながら、ボディダイオードがスイッチングする際に生ずる過大な逆回復電流により、VSI への搭載が見送られてきた。そこで、ボディダイオード無通電運転を実現可能な QZSI に Si-SJ-MOSFET を搭載することで、逆回復電流の発生を防ぎ、昇圧能力を持つインバータシステムとしての運転が可能になる。特に同程度の耐圧領域において、主流である Si-IGBT に比べて、Si-SJ-MOSFET は、抵抗性の導通特性を持つため導通損失の低減が可能であり、従来システムと比較して変換効率の向上が期待できる。

はじめに、Si-SJ-MOSFET の特長と課題について述べる。次に、比較を行う Si-SJ-MOSFET を搭載した QZSI および Si-IGBT を搭載した従来システムの実験条件の設定、実験条件に基づく両回路方式の受動部品の設計とデバイスの選定について述べる。そして、試作した実機を用いて、各出力電力、昇圧比における変換効率の比較及び損失解析を行い、QZSI の優位な領域とその要因について明らかにする。

5.2 Si-SJ-MOSFET と QZSI

5.2.1 Si-SJ-MOSFET の特長

Superjunction 構造は 1997 年に富士電機株式会社の藤平氏によって提案された MOSFET の耐圧とオン抵抗のトレードオフを改善するデバイス構造である [75]。図 5.1 に従来のプレーナ構造と SJ 構造の MOSFET の断面構造とオフ状態における電界の分布を示す [75, 76]。MOSFET の耐圧を上げるには、耐圧を担う空乏層を広げる n ドリフト層を厚く、不純物濃度を下げる必要がある。これはオン状態でのドリフト層の抵抗が増加することにつながるため、耐圧とオン抵抗は、トレードオフの関係となる。図 5.1(a) に示すように、従来のプレーナ構造では、空乏層がドリフト層上部から下部に向かって広がる。よって、ドリフト層の厚さと不純物濃度は、電界強度が最も高くなるデバイスの上部の最大電界強度によって律速される。一方、図 5.1(b) に示す SJ 構造では、n ドリフト層に形成されたピラー構造の p 層から横方向に空乏層が広がるため、プレーナ構造と比較して、電界強度を抑えつつ耐圧を保つことが出来る。これにより、ドリフト層の不純物濃度を濃くする事が出来、ドリフト層で生ずる抵抗を低減出来る。これにより、Si-SJ-MOSFET は耐圧 600 V 程度の領域において、市販されている同耐圧の SiC-MOSFET や GaN-HEMT に匹敵する低オン抵抗と電流定格を Si デバイスで実現している。

図 5.2 は、各アプリケーションに要求されるデバイスの耐圧・定格電流の関係と対応するプレーナ構造の Si-MOSFET, Si-IGBT, Si-SJ-MOSFET の耐圧領域を示している [6, 77, 78]。太陽光発電用

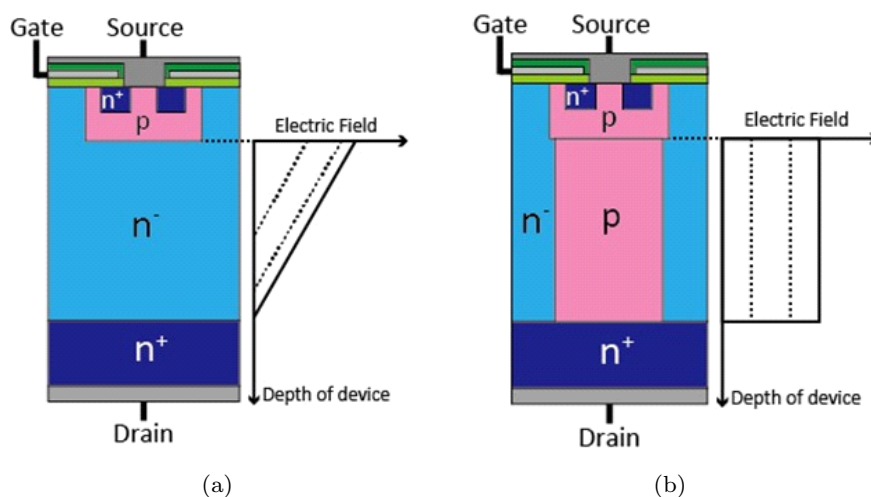


図 5.1 MOSFET の構造の比較 (a) プレーナ構造 (b) SJ 構造 [76]

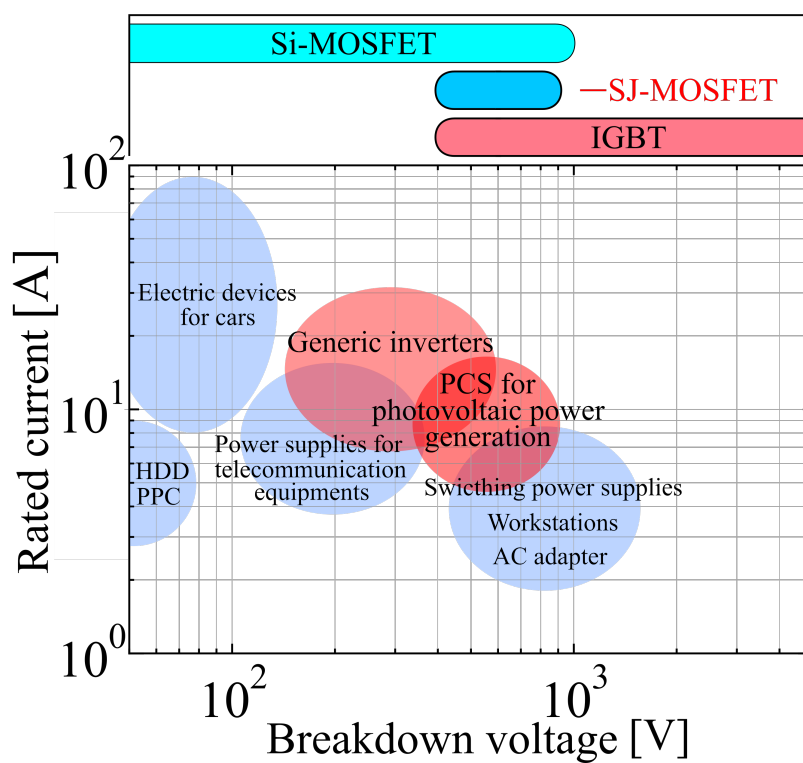


図 5.2 各種アプリケーションの定格電圧・電流とデバイスの耐圧

PCS やモータドライブ用の汎用インバータをはじめとするインバータシステムの多くは、出力電圧が 200~400 V 程度の領域に存在する。従って、適用されるデバイスの耐圧としては、耐圧 400~900 V 程度のデバイスの適用が望まれる。この電圧領域では、Si-MOSFET の製品ラインナップは存在するが、オン抵抗の高いことから十分な電流定格を得ることが難しいため、一般的に Si-IGBT が広く用いられている。Si-SJ-MOSFET は、SJ 構造によるトレードオフの改善により、400~900 V の耐圧域においても、十分な低オン抵抗と電流定格を得ている。よって、運用する電圧・電流範囲として、Si-IGBT との

置換が可能である。特にユニポーラデバイスである Si-SJ-MOSFET は、飽和電圧による電圧降下が生じる Si-IGBT と比べ、低電流域での電圧降下が少ない。よって、住宅向け太陽光発電用 PCS や汎用インバータなどの、幅広い領域での運転が予想されるアプリケーションに搭載することが出来れば、導通損失の低減が期待できる。

5.2.2 Si-SJ-MOSFET の課題

Si-SJ-MOSFET は、優れた導通特性を有する一方、図 5.3 に示す過大な逆回復電流がボディダイオードのスイッチング時に生じるという課題がある。ダイオードの逆回復電流は、導通状態の pn ダイオードがターンオフする際に pn 接合面に生じた少数キャリアが、逆バイアス電圧印加時に空乏層の拡がりと共に吐き出されることで生ずる。Si-SJ-MOSFET では、プレーナ型の Si-MOSFET に比べて、空乏層の幅が小さいために、拡大が速い。そのため、ボディダイオードがターンオフする際に少数キャリアの急速な吐き出しが行われ、大きなピークを持つ逆回復電流が発生する [79]。この逆回復電流は、スイッチング損失と共に、急峻な電流変化によってサージ・ノイズを発生させる [9, 80, 81]。

図 5.4 は、図 5.3 で示した逆回復特性を有する Si-SJ-MOSFET を VSI に搭載した際の、出力線間電圧と出力電流を示している。デッドタイムの終わりにおいて、ボディダイオードがターンオフする際の過大な逆回復電流により、50 V の入力電圧に対して、出力電圧に約 400 V の非常に大きなサージ電圧が発生しており、Si-SJ-MOSFET 単体でインバータへ搭載することが困難なことが確認できる。そのため、Si-SJ-MOSFET の用途は、ボディダイオードへの導通が生じない DC-DC コンバータや一石 PFC 等での利用が中心であった。

5.2.3 QZSI によるボディダイオード無通電運転

一方で、Si-SJ-MOSFET の優れた導通特性のインバータへの適用が試みられている。1 つ目の方法は、補助回路による逆回復電流の発生抑制である [9, 81]。文献 [81] では、補助回路により逆回復電流を主回路ではなく、Si-SJ-MOSFET のドレイン-ソース間に接続した補助回路に流すことで、主回路に逆回復電流が流れることを防ぐ事が提案されている。これにより、逆回復電流によるスイッチング損失

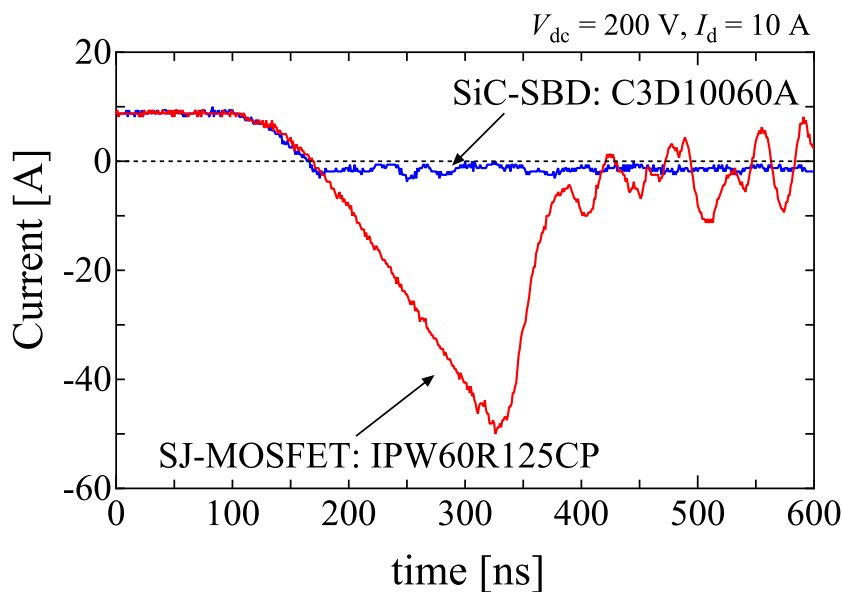


図 5.3 SiC-SBD と Si-SJ-MOSFET のボディダイオードの逆回復電流波形の比較

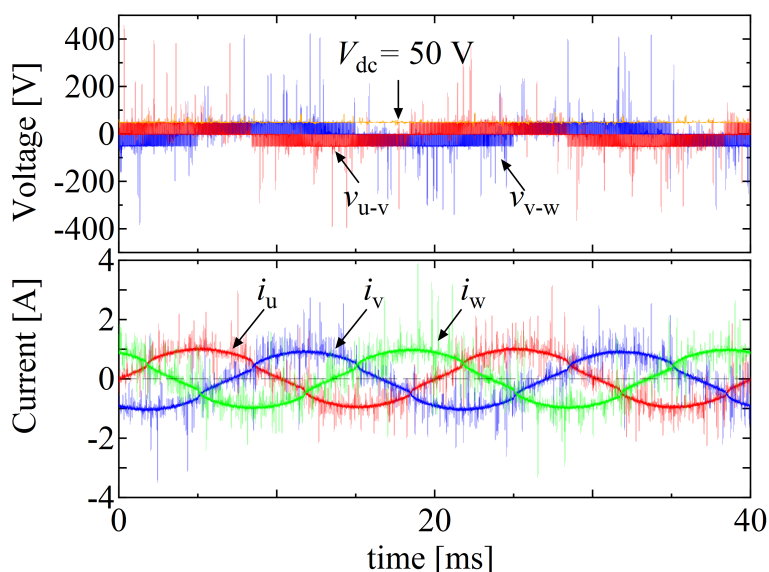


図 5.4 Si-SJ-MOSFET を用いて製作した VSI の出力線間電圧と出力電流波形

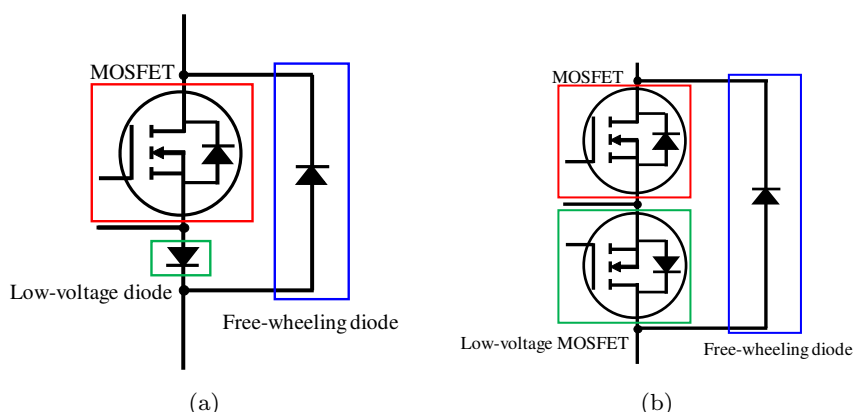


図 5.5 ボディダイオードへの通電を回避するための外付けダイオードの接続 [9] (a) 外付け還流ダイオードのみ接続 (b) 逆直列に低電圧ダイオードを接続 (c) 逆直列に低電圧 MOSFET を接続

やノイズが抑えられ、インバータの高効率化が可能となる。また、図 5.5 のように、外部にダイオードや MOSFET を接続することで、ボディダイオードではなく、外部の逆回復電流の発生が起りにくいダイオードを還流動作に使用することが出来る [9]。特に Si デバイスは順方向電圧が低いため、単に逆並列に還流ダイオードを取り付けるのではなく、デバイスと逆直列に、ボディダイオードへの通電を行わせないようにする低耐圧のダイオードや MOSFET を予め接続する必要がある。この方法では、逆回復電流を抑制する事は出来るが、専用の IC や新たな還流ダイオードなどはじめとするデバイスが必要となる。

2 つ目の方法は、主回路動作によりボディダイオードへの通電を回避する方法である [82, 83]。文献 [82, 83] では、中性点クランプインバータが一部のデバイスに Si-SJ-MOSFET を適用することで損失の低減を実現している。これは、回路動作により Si-SJ-MOSFET が同期整流状態で運転され、ボディダイオード動作が生じない事を利用している。しかし、中性点クランプインバータ上の全てのデバイスを Si-SJ-MOSFET に置き換えることは出来ない。

今回提案する QZSI によるボディダイオード無通電運転を用いた Si-SJ-MOSFET の適用は、デバイス

に補助回路を必要としない。また、回路動作上、インバータ上の全てのデバイスに Si-SJ-MOSFET を適用することが可能である。従って、本提案は、これまで提案されてきた方法に比べて、Si-SJ-MOSFET の優れた導通特性をより簡単な実装でインバータシステムに適用する事が可能である。

5.3 検証条件と回路設計

5.3.1 実験条件の設定

表 5.1 に損失評価の条件、図 5.6 に評価に用いた Si-SJ-MOSFET を搭載した QZSI, Si-IGBT を踏査した従来インバータシステムを示す。この条件では主に PCS としての運転を仮定し、出力線間電圧を系統電圧と等しい AC200 V 一定として、入力電圧を DC200, 250, 282 V と変化させることで各昇圧比における評価を行う。今回の条件下では総合昇圧比 G は 1.41, 1.16, 1.00 となる。QZSI の運転は、式 3.1 より $m = 1.0$ として、入力電圧に対し必要な昇圧比 G を得られるように上下短絡比 D_{sh} を制御する。従来システムは、VSI の電圧利用率を最大値で運転し、インバータ出力に必要な DC リンク電圧を供給するよう、昇圧用 DC-DC の昇圧比を制御する。負荷には RL 負荷を用い、 $V_{out} = 200$ [V] において、出力電力 $P_{out} = 800 \sim 2008$ [W] の間で 4 段階の負荷を与える。

表 5.1 損失評価の条件

Input voltage	V_{in}	200, 250, 282 V
Output voltage	V_{out}	200 V
Output frequency	f_{out}	50 Hz
Control frequency	$f_{control}$	20 kHz
RL load	R_o	59.7, 73.3, 99.1, 150 Ω
	L_o	3.14 mH

5.3.2 受動部品の設計

インダクタ

今回の検討では、受動部品であるインダクタが公平な設計となるように最大電力、最大昇圧比におけるインダクタ電流リプルが両回路で等しくなるようにインダクタの設計と製作を行った。

3 章および 4 章で QZSI に適用した制御方式において、発生するインダクタの電流リプル Δi_{QZSI} は、搭載するインダクタ 2 つの L_1, L_2 の値を L_{QZSI} とすると、上下短絡比 D_{sh} , Zero 区間の実行割合を d_z , 制御周期を $T_{control}$ とすると

$$\Delta i_{QZSI} = \frac{1}{L_{QZSI}} \left[\bar{v}_{c1} \frac{2D_{sh}}{3} - (\bar{v}_{c1} - V_{in}) \frac{d_z}{2} \right] T_{control}, \quad (\theta_{sec} = 0^\circ, 60^\circ) \quad (5.1)$$

となる。但し、図 3.9(b) に示すセクタ上の指令値ベクトルの角度 θ_{sec} が 0 または 60° の場合である。図 5.7 に、この時のスイッチングパターンと電流リプルの波形を示す。このとき、制御サイクル内は 1 種類の Active 区間のみが実行されるため、6 分割した上下短絡区間 S が 2 つが連なる区間が生ずる。これによって、電流リプルが最大化する。この制御方式と電流リプル関係およびその低減方法については 6 章において述べる。

一般的な昇圧チョップ回路である DC-DC 上のインダクタに生ずる電流リプル Δi_{DC} は、インダクタのインダクタンスを L_{dc} , 制御周期を $T_{control}$, Duty 比を d_{on} , 対応するデバイス Q_{dc} の駆動時間を t_{on}

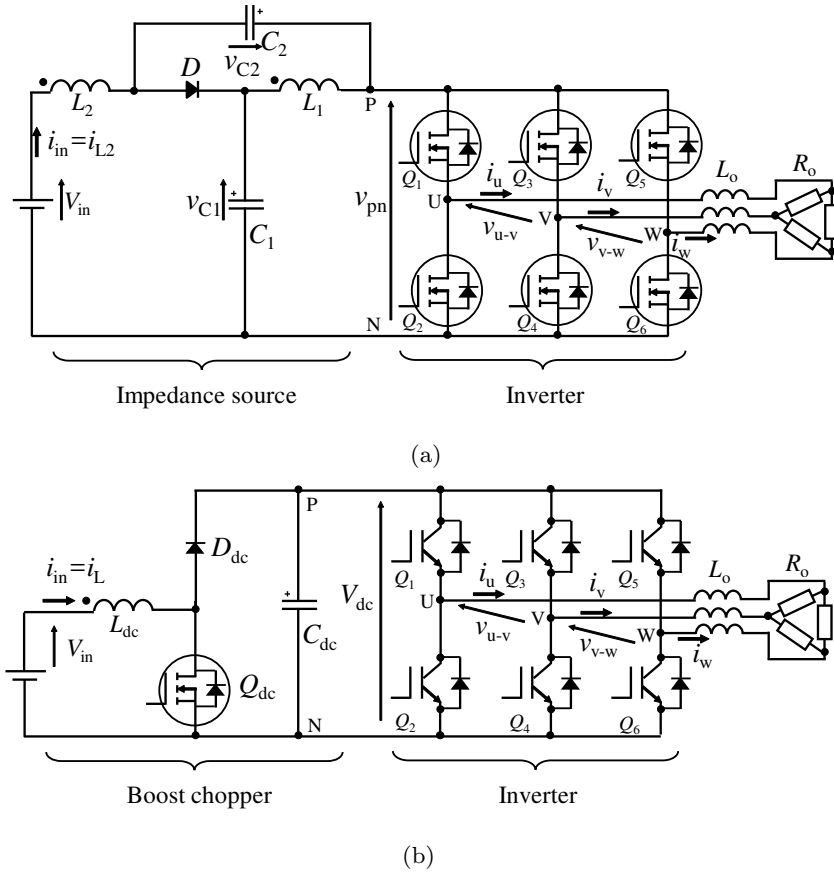


図 5.6 検証回路 (a) Si-SJ-MOSFET を用いた QZSI (b) Si-IGBT を搭載した DC-DC コンバータを有する VSI

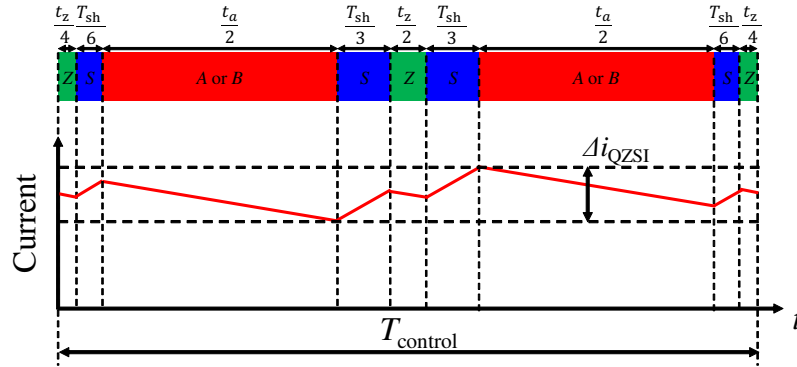


図 5.7 ZSI のインダクタ設計条件

とすると

$$\Delta i_{\text{DC-DC}} = \frac{1}{L_{\text{dc}}} V_{\text{in}} t_{\text{on}} = \frac{1}{L_{\text{dc}}} V_{\text{in}} d_{\text{on}} T_{\text{control}} \quad (5.2)$$

となる。図 5.8 に DC-DC のスイッチングパターンと電流波形を示す。

以上の式 5.1, 5.2 に対して、表 5.1 上の入出力条件と許容される電流リプルを Δi_{QZSI} , $\Delta i_{\text{DC-DC}} = \Delta i_{L_{\text{max}}}$ と設定することで、両方式が同じ電流条件で動作するインダクタンス L_{QZSI} および L_{DC} を求める事が出来る。

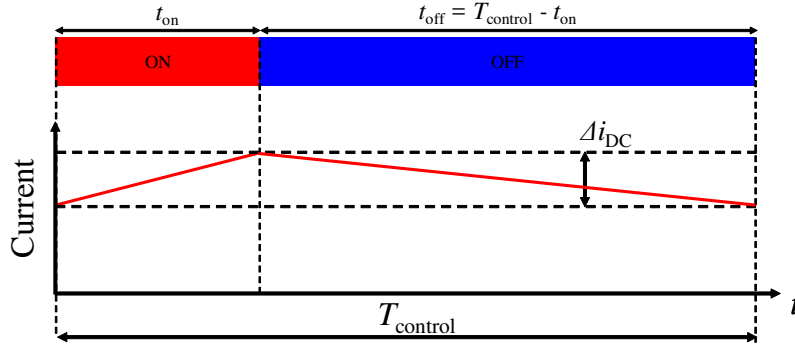


図 5.8 DC-DC のインダクタ設計条件

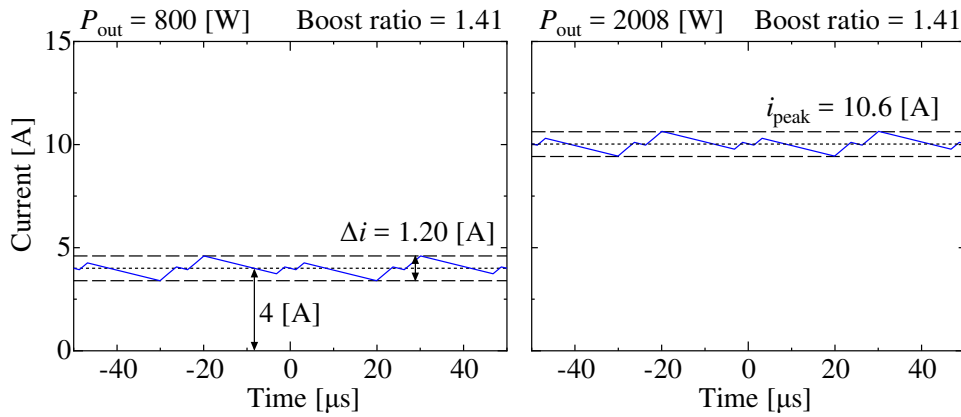


図 5.9 設計した QZSI のインダクタの電流波形

電流リプル $\Delta i_{L_{\max}}$ は、運転範囲において最大の総合昇圧比かつ最低電力の条件と、不連続モードの有無によって決定する。QZSI および、DC-DC には、低電力あるいは低力率負荷での運転において、インダクタの電流リプルの下端がある値に達すると昇圧比が、Duty 比で設定した値に比べて増加する不連続モードが生ずる事が知られている [84–88]。不連続モードは、DC-DC では、電流リプルの下端が 0 A に達することで生ずるが、QZSI では、電流リプルの下端が DC リンク電流 i_{pn} の半分以下となるときに生ずる [84–88]。この条件に従って、 $\Delta i_{L_{\max}}$ は、最小出力電力 $P_{\text{out}} = 800$ W, 最大総合昇圧 $G = 1.41$ において、QZSI のインダクタの平均電流 $\bar{i}_L = 4$ A に対して $\pm 15\%$ である $\Delta i_{L_{\max}} = 1.2$ A に設定した。この条件より、必要となるインダクタンスは式 5.1 と 5.2 を用いて、 $L_{\text{QZSI}} = L_1 = L_2 = 1.60$ mH, L_{dc} を 2.43 mH となる。

次に、インダクタの最大電流 $i_{L_{\max}}$ を決定する。電流のピークが最大となる最小出力電力 $P_{\text{out}} = 2008$ W, 最大総合昇圧 $G = 1.41$ において、 $i_{L_{\max}}$ は 10.6 A となる。今回の設計では 110% の値である $i_{L_{\max}} = 11.7$ A と設定した。図 5.9 および 5.10 に、上記の条件で設計した両方式のインダクタンスを適用した場合、 $G = 1.41$, $P = 800$ W および 2008 W において、インダクタに流れる電流の波形を示す。

設定したインダクタンス及び最大電流に対応するインダクタを製作する。磁性材コアを有するギャップ付きインダクタのインダクタンスを L , 最大電流を $i_{L_{\max}}$ とする場合、必要となる巻き数 N , コア部分

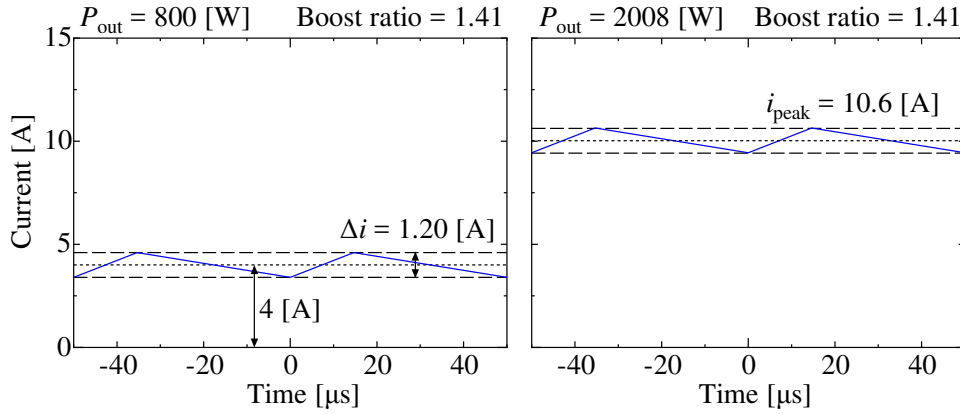


図 5.10 設計した従来システムのインダクタの電流波形

ギャップ長 l_g は、次式で表すことができる。

$$N = \frac{L i_{L_max}}{A_e B_{max}} \quad (5.3)$$

$$l_g = \frac{\mu_0 N i_{L_max}}{B_{max}} \quad (5.4)$$

ここで A_e はコアの実効断面積, μ_0 は真空の透磁率, B_{max} は i_{L_max} において許容されるコアの磁束密度である。 A_e , B_{max} はコアの形状と材質により異なる。今回は、両回路方式ともコア材料をフェライト材である「N87」、コア形状として PM コアのラインナップから選択し、巻き数とギャップの設計を行った。

図 5.11 に示すフェライト材料 N87 の $B-H$ 曲線を示す [89]。図 5.11 より磁束密度と磁界の線形性が確保できる領域として、 i_{L_max} における最大磁束密度 B_{max} を 350 mT と設定した。コアおよびボビンの形状は、図 5.12 に示すインダクタの概略図のように、 N 回巻の巻線部分がボビンとコアの間の空間に収まるように設定する必要がある。巻線の層数を N_1 、巻線の直径を d 、コアの内径を D_{in} 、ボビンの直径 D_b とするとき、

$$N_1 d < \frac{D_{in} - D_b}{2} \quad (5.5)$$

を満たす必要がある。巻線の直径 d は、 mm^2 当りに流すことのできる電流を 3 A 程度と設定し、直径 2 mm の単線を選択した。必要とされる巻き線の巻き数と層数から販売されている PM コアのうち、式 5.5 を満たす最小のコアとして、 L_1 と L_2 には、PM 74/59 [90]、 L_{dc} には、PM 87/70 [91] を適用した。図 5.13 に、以上の設計で製作した両方式のインダクタ L_1 , L_2 , L_{dc} を示す。

コンデンサの選定

コンデンサについては、両回路方式において電圧リプル低減するのに十分な静電容量として QZSI は $C_1 = C_2 = 50 \mu\text{F}$ 、従来システムは $C_{dc} = 100 \mu\text{F}$ と設定した。実装にはフィルムコンデンサを用いた。

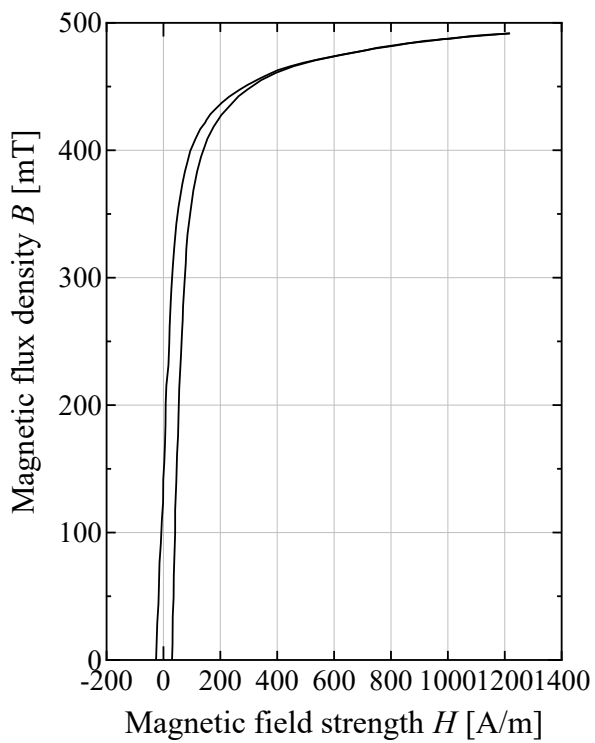
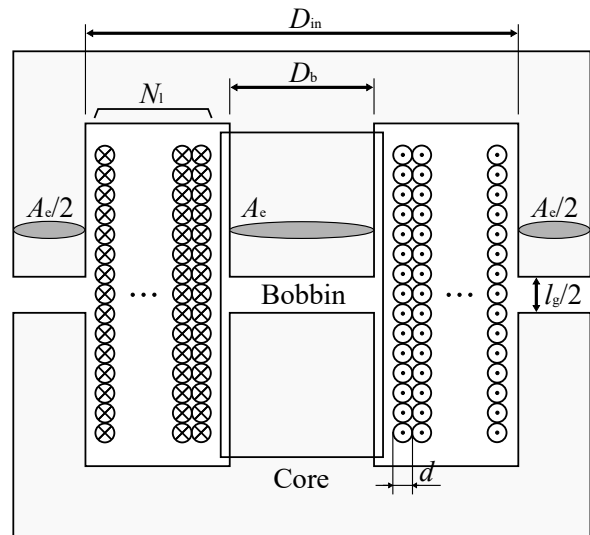
図 5.11 コア材料 N87 の $B-H$ 曲線

図 5.12 PM コアの概略図

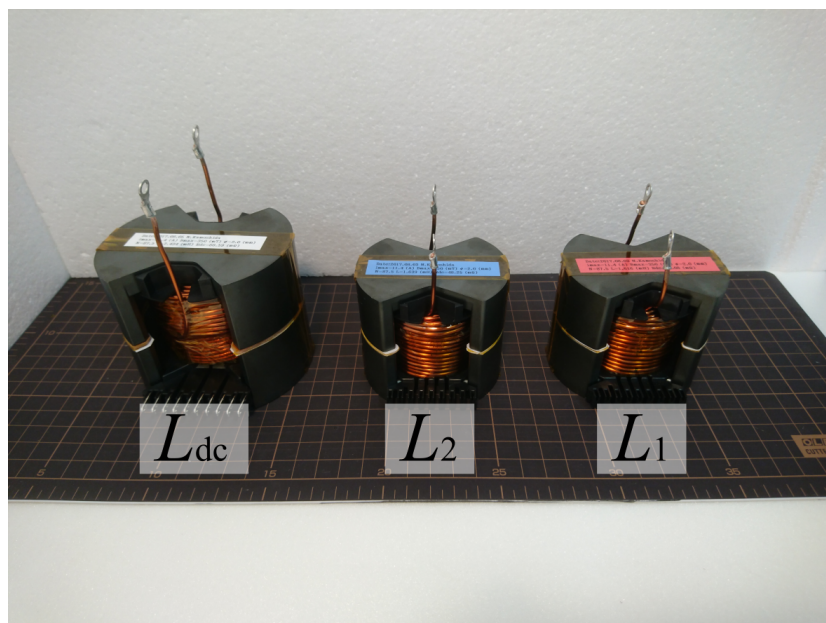


図 5.13 実際に製作したインダクタ

5.3.3 デバイスの選定

デバイスの選定は、各回路上のデバイスの運転中における最大電圧・電流が耐圧・定格電流の6割以内に収まるように選定を行った。QZSIのインバータ部 $Q_{1\sim6}$ には、Infineon 社で CoolMOS という名称で販売されている Si-SJ-MOSFET である IPW60R125CP、インピーダンスソース内のダイオード D には、Wolfspeed 社製の SiC-SBD である C3D30065D を用いた。従来システムでは、インバータ部 $Q_{1\sim6}$ には、IR 社製の還流ダイオード内蔵の Si-IGBT である IRG4PC40UD、昇圧用 DC-DC のダイオード D_{dc} には、Wolfspeed 社製の SiC-SBD である C3D20060D、及びスイッチ Q_{dc} には QZSI のインバータ部分と同様に IPW60R125CP を用いた。昇圧用 DC-DC に Si-SJ-MOSFET を用いることが出来るのは、ボディダイオードへの通電が生じないためである。

図 5.14 は、IPW60R125CP と IRG4PC40UD の $V-I$ 特性上に $G = 1.41$, $P_{out} = 2008 \text{ W}$ におけるデバイスの実効値電流を示している。図 5.14 より、QZSI 上の Si-SJ-MOSFET の導通損失は、VSI 上の Si-IGBT に比べて低減されている。従って、今回の運転条件では、Si-SJ-MOSFET の搭載により、QZSI のインバータ部分の導通損失は、Si-IGBT を搭載した VSI に比べて低減することが可能である。

5.3.4 製作した実機

図 5.15 に製作した両回路、表 5.25.3 に設計の仕様を示す。両回路は、サージ電圧の原因となる寄生インダクタンスの低減を目的として、銅板によるバスバー構造を適用している。

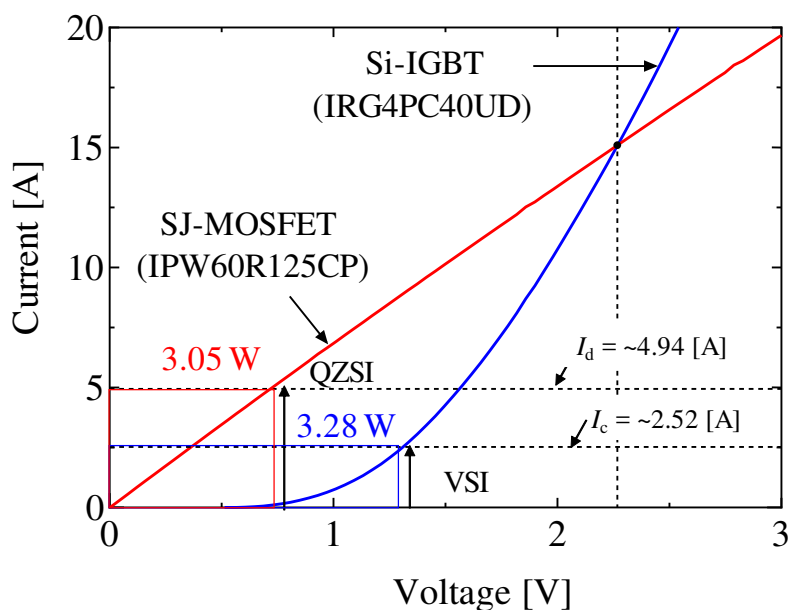
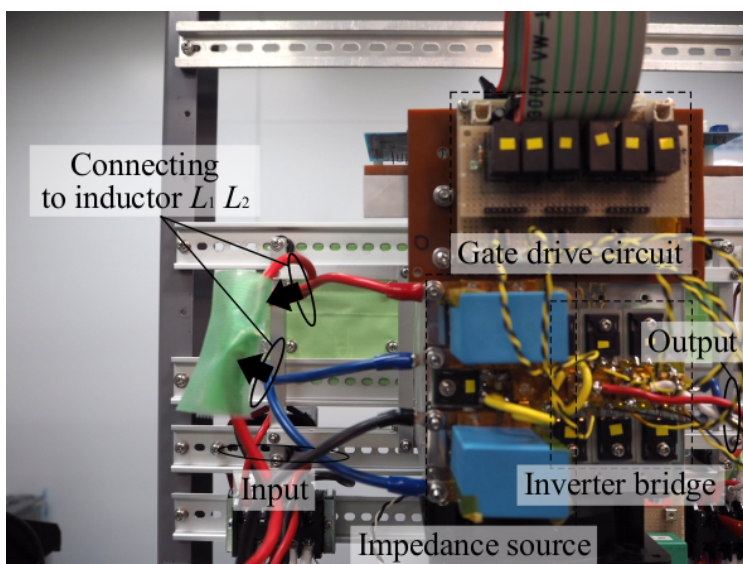
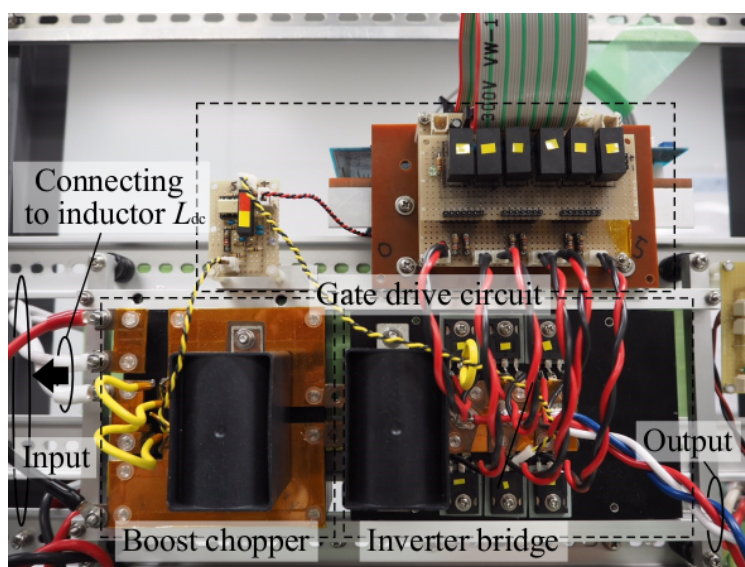


図 5.14 $G = 1.41$, $P_{out} = 2.0 \text{ kW}$ におけるデバイスの運転範囲



(a)



(b)

図 5.15 製作した各回路の実機 (a) QZSI (b) 従来システム

表 5.2 SJ-MOSFET を適用した QZSI の仕様

Inductor	L_1, L_2	1.60 mH
Inductor core shape		PM 74/59
Inductor core material		N87(EPCOS)
Inductor wire turns		66.5
Inductor wire diameter		2.0 mm
Inductor wire DC resistance	$R_{\text{wire_zsi}}$	48.2 m Ω
Capacitor	C_1, C_2	50 μ F
Inverter switches	$Q_{1\sim 6}$	IPW60R125CP 650 V, 18 A, 125 m Ω
Diode	D	C3D30065D 650 V, 36 A

表 5.3 Si-IGBT を用いた従来システムの仕様

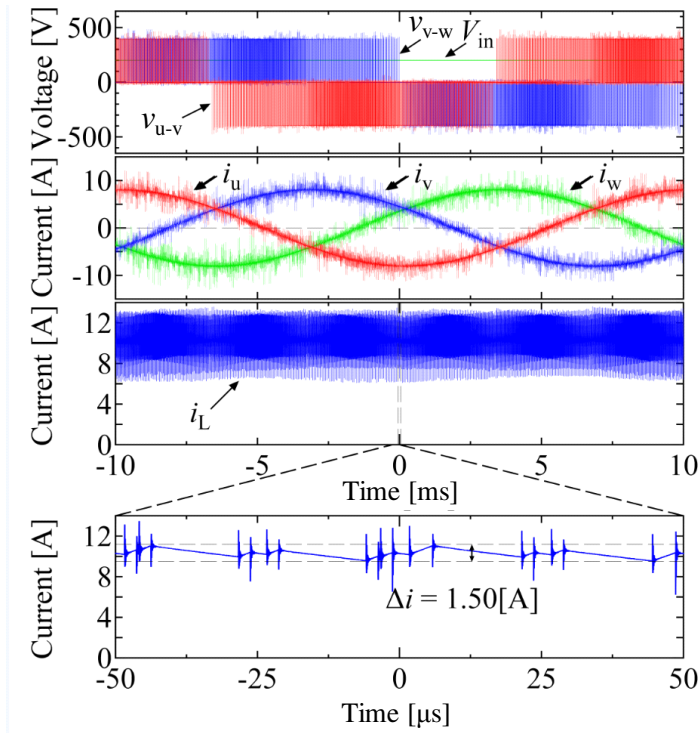
Inductor	L_{dc}	2.43 mH
Inductor core shape		PM 87/70
Inductor core material		N87(EPCOS)
Inductor wire turns		87.5
Inductor wire diameter		2.0 mm
Inductor wire DC resistance	$R_{\text{wire_dcdc}}$	68.6m Ω
Capacitor	C_{dc}	100 μ F
Inverter switches	$Q_{1\sim 6}$	IRG4PC40UD 600 V, 40 A
Diode	D_{dc}	C3D20060D 600 V, 28 A
Switch	Q_{dc}	IPW60R125CP 650 V, 18 A, 125 m Ω

5.4 実験による検証と損失解析

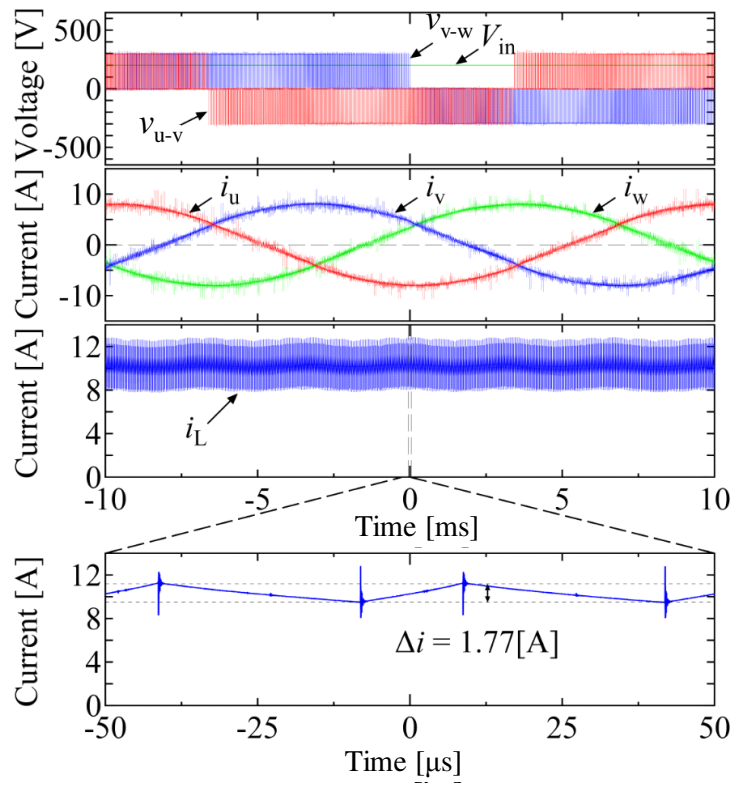
5.4.1 運転波形と効率の比較

図 5.16 に $V_{in} = 200$ V, $G = 1.41$, 最大出力 $P_{out} = 2.0$ kW における両方式の入出力波形を示す。図 5.16 は、上から 1 段目より入力電圧 V_{in} , 及び出力線間電圧 v_{u-v} , v_{v-w} , 2 段目に出力電流 i_u , i_v , i_w , 3 段目と 4 段目にインダクタ電流 i_L と, その電流リプルが最大となる $\theta_{sec} = 0^\circ$ における制御サイクル 1 周期分の拡大図を示している。両方式において, 昇圧動作によって, 入力電圧に対して出力線間電圧の振幅が増加していることが確認出来る。QZSI では, DC リンク電圧の最大値 v_{pn} の値は, 出力する実質的な線間電圧よりも高くなるため, 従来システムに比べて高い線間電圧を出力している。また, 出力電流は, どちらの方式においても正弦波電流が得られている。以上の動作から昇圧機能を有するインバータシステムとして動作していることを確認した。図 5.16(a), 図 5.16(b) の 3, 4 段目に示す両方式のインダクタ電流のリプルに着目すると, QZSI では $i_L = 1.50$ A, 従来システムでは $\Delta i_L = 1.77$ A となった。これは, 設計値である $\Delta i_{L,max} = 1.2$ A に対して, Δi_L が 25%, 48% 増加したことになる。リプル増加の原因として, まず, 各デバイスおよび受動部品で生ずる電圧降下による出力電圧の低下を補うために, 両方式の上下短絡比 D_{sh} 及び Duty 比が, 設計時に比べて増加したことが挙げられる。また, 図 5.16(a), 図 5.16(b) の 4 段目のインダクタ電流の電流変化率とその時のインダクタ両端電圧から回路上の実際のインダクタンス値が設計値に比べて減少していること確認できる。今回のインダクタは $i_{L,max} = 11.7$ A における許容磁束密度 B_{max} を 350 mT として設計を行った。しかし, この磁束密度では, インダクタ電流の直流成分が小さい場合と比べて, $B-H$ 曲線の直線性が保つことが出来ておらず, 想定よりも電流リプルが増加してしまったと考えられる。

また, 図 5.16(a), 図 5.16(b) の電流波形にはスパイク状の電流が確認される。これは, スイッチングによりインダクタへの印加電圧の向きが急峻に変化することで, インダクタ内の寄生容量に生じる電流に起因していると考えられる。この電流に現れたスパイク状の波形に関しては, 容量性のフィルタを接続することによって, 外部に与える影響を低減できると考えられる。



(a)



(b)

図 5.16 $G = 1.41$, $P_{out} = 2.0$ kW における兩回路方式の入出力波形 (a) QZSI (b) 従来システム

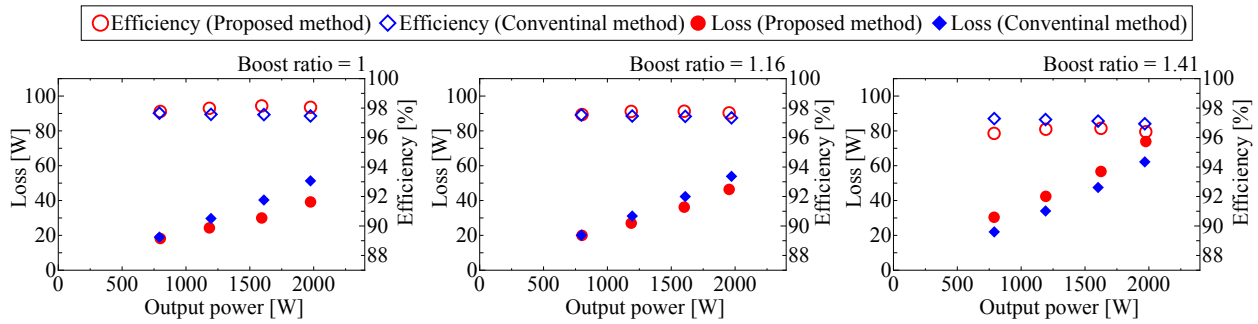


図 5.17 各昇圧比および出力電力における損失と効率の比較

5.4.2 各昇圧比における損失の比較

図 5.17 に QZSI と従来システムの昇圧比 $G = 1.0, 1.16, 1.41$ における出力電力に対する効率, 損失の測定結果を示す。 $G = 1.0, 1.16$ では, QZSI は従来システムと比較して, 全運転領域において損失が低減出来ており, $P_{\text{out}} = 2.0 \text{ kW}$ において, 従来システムに比べて $G = 1.0$ では 12.1 W , $G = 1.16$ では 7.5 W 損失を低減している。しかし, $G = 1.41$ では, 全運転領域で QZSI の損失が従来システムを上回り, $P_{\text{out}} = 2.0 \text{ kW}$ において, 11.7 W 上回っている。

以上の結果より, 今回の設計条件において, Si-SJ-MOSFET を用いた QZSI は, Si-IGBT を用いた従来システムと比べて, 低昇圧比における損失低減が可能であることを確認した。一方で従来システムに比べて昇圧比の増加に対して, 損失の増加率が高いことを確認した。

表 5.4 IGBT とダイオードの線形モデルにおけるパラメータ

	V_{sat}	k
IRG4PC40UD	1.04	0.054
IRG4PC40UD (diode)	1.16	0.047
C3D20060D	0.94	0.022
C3D30065D	0.94	0.0135

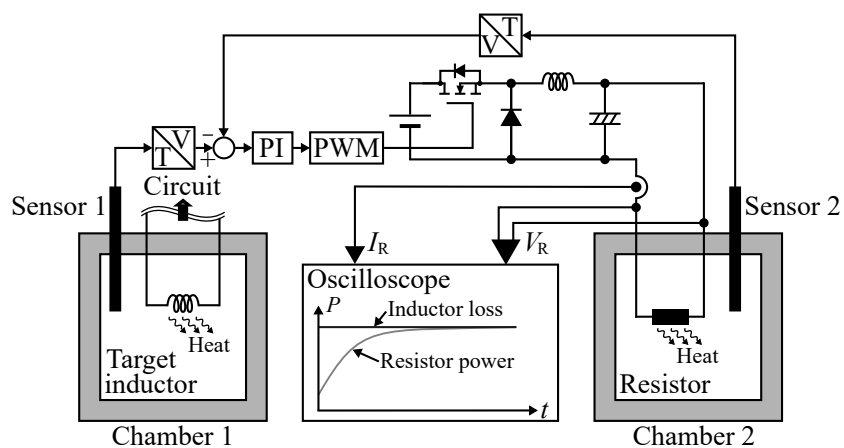
5.4.3 パワーデバイスの損失分離

各デバイスの導通損失とスイッチング損は，4 章で行ったのと同様にオシロスコープから得た出力 1 周期分のデバイス電圧・電流から，導通区間とスイッチング区間を判別し，算出を行った。デバイス電圧・電流の測定は HDO 4034(テレダイン・レクロイ社製) を使用し，波形取得周期 20 ms に対してサンプリングを 5 MS/s とした。導通損失は，図 4.15 に示す線形近似モデルとデバイス電流から計算を行った。IPW60R125CP の R_{on} はデータシートから 125 m Ω とし，IGBT 及びダイオードの線形モデルは，データシートから算出した表 5.4 に示すパラメータを用いた [92–95]。

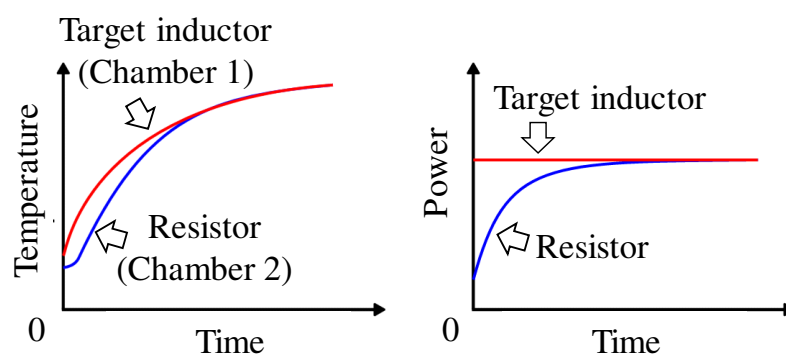
5.4.4 受動部品の損失分離

両回路方式において、インダクタは損失の発生要因の 1 つである。インダクタの損失は、巻き線部分で生ずる銅損とコア内部で磁束が変化することで生ずる鉄損に分けられる。銅損の中でも直流抵抗により生ずる銅損は、電流波形とインダクタの直流抵抗を用いて算出可能である。しかし、インダクタは力率がほぼ 0 であるため、ワットメータ等を用いて、表皮効果や近接効果による巻き線の交流抵抗によって生ずる銅損やコアでの鉄損を測定することは、原理的に困難である。そこで、今回は損失による温度上昇を利用した熱量測定によるインダクタの銅損と鉄損を含むインダクタ全体の損失の測定を行った [96]。図 5.18 に装置の構成と原理の概要を示す [96]。はじめに、寸法および熱的な条件を揃えた 2 つの断熱容器の片方に電力変換回路に接続されたインダクタ、もう片方には制御可能な電圧源に接続された抵抗器を設置する。図 5.18(b) に測定中の各断熱箱の温度と、インダクタでの損失と抵抗器の損失を示す。電力変換回路を運転し、インダクタが損失によって発熱し、容器 1 内部の温度が上昇する。そして、容器 1 の温度を目標値として、PI 制御を行い、容器 2 の温度が容器 1 を追従するよう抵抗器に与える直流電力を制御する。そして、目標値である容器 1 の温度と容器 2 の温度が十分に追従した際、抵抗器に与えられている直流電力がインダクタの損失となる。これにより、低力率かつ高周波で駆動されるインダクタの損失を直流値の形で測定する事が出来る。

図 5.19 に実際の断熱容器内の様子を示す。断熱容器には、発泡スチロール製の保冷箱を用いた。2 つの断熱容器を用いるメリットは、1 つの断熱容器による測定と比較して、外部の環境の影響を低減できることが挙げられる。各容器には、インダクタと抵抗器の冷却と空気を攪拌するファンが設置されているが、各容器で用いられるファンの駆動電力は等しいため、測定への影響は発生しない。



(a)



(b)

図 5.18 熱量測定による損失の測定 (a) 熱量測定法の概要図 (b) 断熱容器内の温度の変化と電力

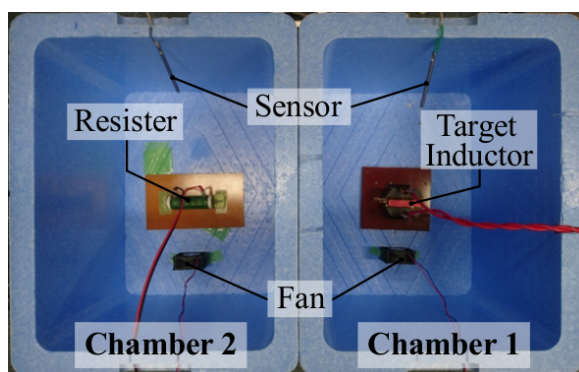


図 5.19 インダクタを設置した断熱容器内の様子

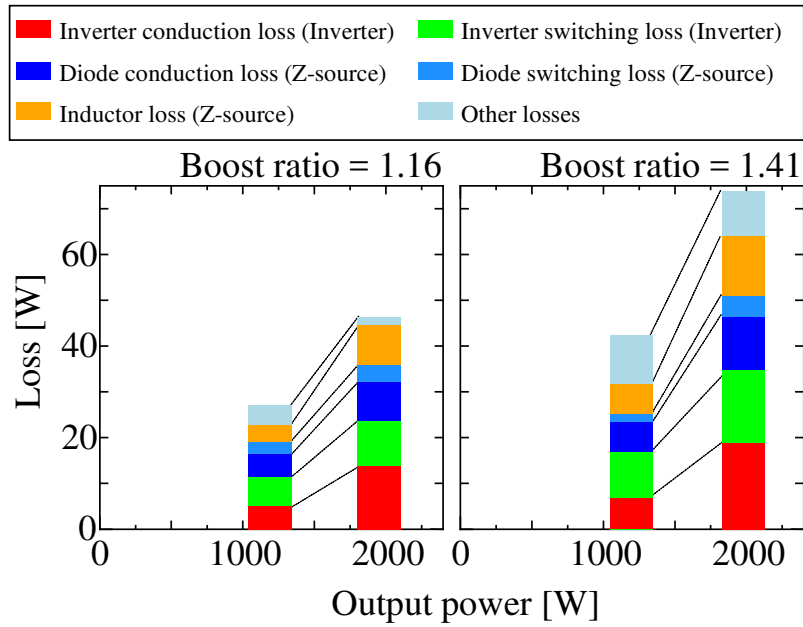
5.4.5 損失解析

図 5.20(a), 図 5.20(b) に出力電力 $P_{\text{out}} = 1.2, 2.0 \text{ kW}$, 昇圧比 $G = 1.16, 1.41$ における損失解析の結果を示す。Other となっている損失には、コンデンサに流れる電流による損失や測定上の誤差が含まれる。 $G = 1.16$ の場合, $P_{\text{out}} = 1.2, 2.0 \text{ kW}$ の両条件において, QZSI の全体損失は従来システムのものを下回っている。この時の各方式のインバータの導通損失は, $P_{\text{out}} = 1.2, 2.0 \text{ kW}$ に対し, QZSI は, それぞれ 5.00 W , 13.7 W であり, 従来システムでは 11.4 W , 21.3 W となった。この結果から, デバイスの選定の際に予測した通り, Si-SJ-MOSFET を適用した QZSI は, Si-IGBT を用いた従来システムと比べてインバータの導通損失が低減することを確認した。

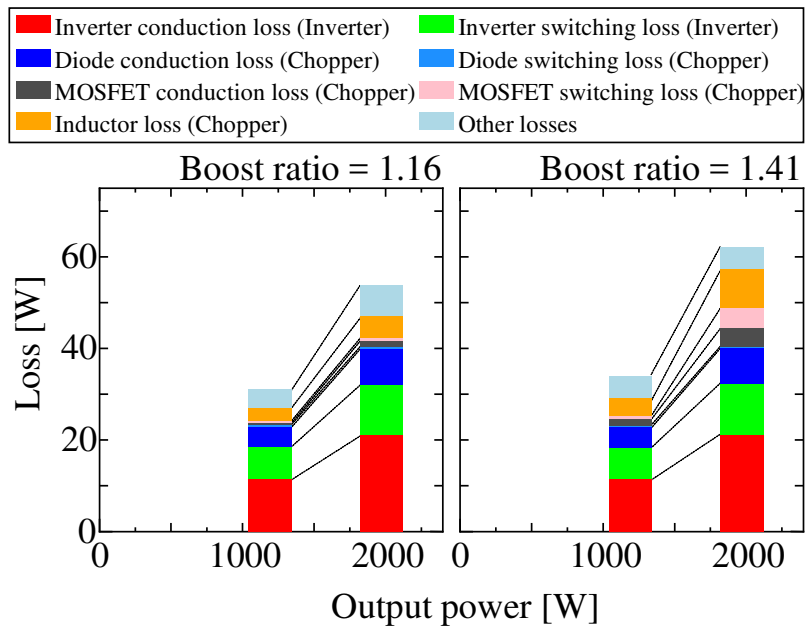
$G = 1.41$ の場合, 図 5.20(a), 図 5.20(b) より, QZSI は $G = 1.16$ の場合から回路上の全てのデバイス及び受動部品の損失が増加している。これは, QZSI が昇圧とインバータ動作を融合していることで, 回路上の全ての要素が昇圧動作に寄与するためである。インピーダンスソース部分に着目すると総合昇圧比 G の増加に伴って入力電流と印加される電圧が増加することで, デバイス及び受動部品の損失が増加する。そして, インバータでは, 非上下短絡区間に比べて, 電流が増加する上下短絡区間の割合が増加することで, 4 章の図 4.5(c) で示したようにデバイスに流れる実効的な電流が増加し, 導通損失が増加する。また, G の増加に伴って, DC リンク電圧のピーク値 v_{pn} が増加するため, インバータで生ずるスイッチング損失が増加する。

一方, 従来システムでは, 昇圧比 G の増加に対して, インバータの損失は変化せず, 昇圧用の DC-DC を構成するデバイスとインダクタの損失のみが増加している。これは, 従来システムでは, DC-DC のみが昇圧動作に寄与し, G の増加に対してインバータの運転条件が常に一定となるためである。

以上のことから, 今回の設計条件下では, G が低い領域において QZSI は Si-SJ-MOSFET の搭載によって, Si-IGBT を用いた従来システムよりもインバータの導通損失を低減し, システム全体の低損失化が実現できることを実証した。一方, 回路方式に注目すると, 昇圧チョッパ回路のみが昇圧に寄与する従来システムと比べ, インバータの上下短絡によって, 回路上の全ての要素が昇圧に寄与する QZSI は, G の増加に伴う損失の増加率が高いことを確認した。



(a)



(b)

図 5.20 損失解析結果 (a) QZSI (b) 従来システム

5.5 5章のまとめ

5章では、高性能デバイスである Si-SJ-MOSFET を搭載した QZSI と Si-IGBT を用いた従来システムを比較し、高性能デバイスを搭載した QZSI が優位な運転領域とその要因を明らかにすることを目的とした。

上下短絡動作によりボディダイオード無通電運転を実現した QZSI では、QZSI 上の全てのデバイスを Si-SJ-MOSFET にすることが可能である。よって、従来の補助回路による逆回復電流の抑制や部分的に Si-SJ-MOSFET を適用する従来の方法に比べて、より直接的にデバイスの能力を享受することが出来る。

製作した 2 kW 級の実機は、過大な逆回復現象を発生せず、昇圧機能を有する Si-SJ-MOSFET を搭載したインバータシステムが実現できることを実証した。損失解析により、昇圧比が低い領域において、Si-SJ-MOSFET を搭載した QZSI は、インバータ部分の導通損失を低減により、Si-IGBT を搭載した従来システムに比べて低損失化が可能なことを明らかにした。しかし、回路動作上、昇圧とインバータ動作を融合した QZSI は、昇圧比の増加に伴い、回路上の全ての要素の損失が増加するため、昇圧比が高い領域では、昇圧による損失増加が DC-DC 部分のみの従来システムに比べて、効率が低下することが明らかになった。

これら結果から、Si-SJ-MOSFET を搭載した QZSI は、現状の Si-IGBT が中心となっている出力 200V 程度のアプリケーションにおいて、従来システムよりも高効率なインバータシステムが提供することが可能である。一方で、QZSI の特性上、昇圧比に対する損失の増加率が高いため、比較的昇圧比が少ない領域での運用が望ましい。パワーコンディショナやモータドライブシステムでは、運用条件を適切に設定することで昇圧動作を抑えて運転することが可能であり、提案システムの導入による低損失化が望めると考えられる。

よって、本章で提案する Si-SJ-MOSFET を搭載した QZSI は、Si-IGBT を用いた従来システムに比べて低昇圧比の運転領域において、デバイスの低オン抵抗を活かした低損失化が可能であると結論付ける。

第 6 章

インダクタ小型化のための最適制御

6.1 6 章の概要

6 章では、高性能デバイスを搭載した QZSI の高出力密度化に向け、インダクタの小型化するための上下短絡区間の配分の最適化する制御を提案する。

QZSI において、インピーダンスソースの体積は、出力密度に大きな影響を与えており、特に昇圧動作を担うインダクタの小型化が必要である。インダクタの小型化には、電流リプルを低減する必要がある。先行研究では、制御周波数の増加や、スイッチングパターン、特に上下短絡動作の挿入位置や回数を変えることにより、発生する電流リプルを低減する検討が行われてきた。本研究で提案するボディダイオード無通電運転は、スイッチングパターンの切り替わりの際に上下短絡動作を挿入することが必要であり、上下短絡動作の挿入する位置には制限が伴う。

そこで本章では、ボディダイオード無通電運転を維持しつつ、インダクタ電流のリプルを低減する制御方法として、各上下短絡区間の時間幅を可変とする制御を提案する。この提案制御は、上下短絡区間を一定分割した制御法に比べて、電流リプルを 27.8% 低減することが可能である。

はじめに、これまでに提案されてきた制御方式の特徴について述べる。次に、提案制御の上下短絡区間の制御方法について示し、一定分割して上下短絡動作を実行した場合の従来制御と電流リプル低減能力の比較を行う。そして、実機上において提案制御と従来制御の各昇圧比、電圧利用率におけるリプル低減能力について実測値と計算値との比較を行う。また、変換器の性能に与える影響を明らかにするために、インダクタ電流と出力波形への影響を周波数解析、損失の比較による変換効率への影響を評価する。最後に、この制御方式がインダクタの体積に対してどの程度削減効果があるのかを述べる。

6.2 従来のインダクタの小型化にむけた検討

最も基礎的な検討として行われてきたのが、高周波駆動が可能なデバイスを用いてインバータ部の駆動周波数を増加させることである。特に高性能デバイスである SiC デバイス、GaN デバイスは ZSI の高周波駆動を達成するという目的においても搭載が検討されてきた。文献 [16] の Si-IGBT を用いた検討ではインバータの制御周波数は 10 kHz に設定されており、1 レグ短絡を用いているためデバイスの駆動周波数も同値である。文献 [97]- [100] では SiC-MOSFET や GaN を搭載し制御周波数を 100 kHz 以上に増加することで、インダクタの小型化を行っている。一方、制御周波数の増加は、スイッチング損失やデバイスに生ずるサージ電圧の大きさとトレードオフによって制限される。これらは、デバイスのスイッチング速度だけでなく、主回路上の寄生インダクタンスをはじめとする実装条件にも依存する。特に ZSI は、従来の VSI と異なり、DC リンク部分にコンデンサを接続できないため、スイッチング時にインバータ部分の寄生インダクタンスで生ずるサージ電圧が大きくなる傾向がある [101]。文献 [84, 101] では、サージ電圧低減のための電流経路に着目したバスバー構造の適用や、新たにダイオードやコンデ

ンサを DC リンク部分に接続し、スナバ回路として動作させることが提案されている。従って、ZSI では電流リプルの低減は、デバイスや実装に依存するインバータの高周波駆動だけでなく、電流リプルを決定する変調方式やスイッチングパターンの配分等の制御方法にも着目する必要がある。

ZSI のインダクタの電流リプルは、インバータ部分の上下短絡区間における電流の増加と、非上下短絡区間における電流の減少によって決定される。そしてこれらの区間は、ZSI のインバータの変調により各制御サイクルにおいて変化する。変調方法を選ぶ基準として、非上下短絡区間における DC リンク電圧の利用率が大きく、より少ない上下短絡比 D_{sh} で高い総合昇圧比 G が得られる変調方式が適すると考えられる。ZSI の主な変調方式には、三角波比較 PWM 方式に基づく Simple-boost control [16], Maximum boost control [21], Constant maximum boost control [22] と空間ベクトルを用いる SVM 方式 [28] が存在する。特に、スイッチングパターンの配分と 3 レグ短絡動作の実現に着目し、3 章でボディダイオード無通電運転の実現において適用した SVM 方式は、線間電圧を正弦波化することを基準としており、特別な指令値を与えずに DC リンク電圧の利用率を 1.15 倍にする三次高調波注入法を用いた Simple-boost control や Constant maximum boost control と同等の電圧利用率を実現できる [28]。同じ運転条件において、Maximum boost control は、ゼロベクトルを全て上下短絡動作として使用するため、ゼロベクトルが発生しないことによって、他の方式よりも電圧利用率を高めることが可能である [21]。しかし、常に実行される上下短絡比が、出力電圧の位相によって変化するため、各部の電圧・電流に 6ω の振動が発生する。よって、コンデンサ電圧の直流値を用いた昇圧比の管理が難しくなることが懸念される [14]。[21]

スイッチングパターンの分割や配置の面からも電流リプルの低減が検討されてきた。ZSI を含め電力変換器では、制御サイクル内のスイッチングパターンを並び替えると生ずるリプルが変化するが得られる平均値は変化しない。従って、ZSI では、上下短絡区間と非上下短絡区間の分割や配置を見直すことで、電流リプルの低減が可能となる。

文献 [21, 22] のように初期に提案された三角波比較 PWM 方式では、上下短絡動作が負荷側から見た時にゼロベクトルと等しいことを利用して、インバータ動作においてゼロベクトルが生ずるキャリア波の山と谷で上下短絡動作の指令値を比較させることによって、ゼロベクトルの一部を上下短絡動作としていた。この方式では非上下短絡区間でのスイッチングパターンの切り替えは、電流リプルの低減に寄与しない。また、3 章で提案したボディダイオード無通電運転を実行することが出来ない。

そこで、上下短絡動作をゼロベクトルを一部としてではなく、いくつか等分し制御サイクル内で配置することで電流リプルを低減する制御が三角波比較 PWM 方式および SVM 方式で提案されている。三角波比較 PWM 方式については、文献 [23] で 1 つのレグに対して 2 本の指令値を作ることでスイッチングパターンの間に上下短絡動作を挿入する方法が提案されている。しかし、この提案では、指令値が各相ごとに独立しているため 1 レグ短絡しか実行することが出来ず、損失の低減につながる 3 レグ短絡動作を実装することが出来ていない。SVM 方式についても上下短絡動作の配置と数によって ZSVM6 [25], ZSVM4 [26], ZSVM2 [27], ZSVM1 [28] が提案されている。しかし、これらの制御は、3 章で提案した上下短絡動作と非上下短絡動作を個別に計算し、制御サイクル内で再分配を行う方法と異なる。通常の VSI で用いられる SVM のベクトル計算によって得られた Active 区間のベクトルをオーバーラップさせることで上下短絡動作を生成する。従ってこれらの方式においても、文献 [23] と同様に各レグごとに指令値が独立しているため、スイッチングパターンの切り替わりの際に実行されるのは 1 レグ短絡となり、3 レグ短絡を実施することが出来ない。また、これらの提案では、上下短絡動作の分割幅を等分して扱っている。そのため、Active 区間中の 2 種類スイッチングベクトルの内、1 つのスイッチングベクトルのみが実行される区間では、分割した上下短絡区間が 2 つ連なることで、電流リプルが増加してしまう課題がある。

上下短絡区間が連続することで生ずる電流リプルの増加を防ぐために、文献 [24] では、文献 [23] の制御方法に対して、2 本の指令値の振幅を個別に制御し、各上下短絡区間の幅を全体の電流リプルの振幅が対称になるように配分し、電流リプルを低減することを提案している。この方法は制御周波数や上下短

絡動作の挿入回数を増加させることなく、電流リプルを低減する事が出来る。しかし、独立した2本の指令値を導出するための詳細について文献中では述べられていない。検討した運転条件の範囲や電圧利用率についても限定的であり、より幅広い運転条件での有効性について検討する必要がある。そして、この方法においても3レグ短絡を実装することは出来ていない。

上下短絡区間の分割数と挿入位置を固定する代わりに、Active 区間を分割する制御も提案されている。文献 [29] では、Active 区間の一部を分割し、挿入する上下短絡区間の配置を均等に近づけることで電流リプルを低減することが提案されている。しかし、スイッチングパターンの切り替えの際に上下短絡動作を挿入していないため、ボディアダイオード無通電運転を達成することが出来ない。

本章では3章で提案した SVM 方式によるボディアダイオード無通電運転を可能とする制御方式に対して、上下短絡動作の配分の最適化を行うことによって電流リプルの低減を実現する。本方式は SVM 方式の特長である計算により直接スイッチングパターンの実行時間を導出することが出来ることを利用しており、文献 [24] に比べて、より明瞭な実装とインダクタの設計の条件を提示することが可能である。また、三角波比較 PWM 方式に対して SVM 方式は、DC リンク電圧の利用率が高いため、同じ入出力条件であれば、より電流リプルを抑えることが可能である。

6.3 上下短絡区間の配分の最適化による受動部品のリプルの低減

提案するボディアダイオード無通電運転と電流リプルを低減する制御方法の動作とその実装方法について述べる。図 6.1 は、提案制御を適用した際の制御サイクル中での各スイッチングパターンの実効時間と発生する電流リプルを示している。運転条件として電圧利用率 $m = 1$ 、 $D_{sh} = 0.3334$ を設定し、 θ_{sec} は、図 3.9(b) で示したように指令値ベクトル \mathbf{v}_{ref} がセクタ上でスイッチングベクトル \mathbf{A} とがなす角度を示している。縦軸の電流リプルは、振幅が最大となる図 6.1(a) に示す $\theta_{sec} = 0^\circ$ の際の振幅によって正規化されている。図 6.1 から明らかなように、この制御の特徴は、Active 区間 A 、 B で生ずる電流リプルが平均値に対して常に対称となるように各上下短絡区間 S_{1-3} の幅を最適化することで電流リプルの増加を抑えていることである。次に各上下短絡区間の導出法について示す。

図 6.1 の上下短絡区間 S_{1-3} は Zero 区間 Z_{000} と Active 区間 A に挟まれた上下短絡区間 S_1 、Active 区間 A 、 B に挟まれた上下短絡区間 S_2 、Active 区間 B と Zero 区間 Z_{111} に挟まれた上下短絡区間 S_3 とする。各上下短絡区間 S_{1-3} の実行時間は、 t_{sh1} 、 t_{sh2} 、 t_{sh3} である。図 6.1 より A 、 B は Active 区間であり、図 3.9(b) に示したセクタ上のスイッチングベクトル \mathbf{A} 、 \mathbf{B} が実行される区間である。制御サイクル内の A 、 B の合計実行時間 t_a および t_b は、式 3.3、3.4 によって求めることが出来、各 A 、 B 区間 1 つあたりの実行時間は、2 分割され、 $\frac{t_a}{2}$ 、 $\frac{t_b}{2}$ となる。 Z は、ゼロベクトルを実行する Zero 区間であり各図の中央部分はゼロベクトル $\mathbf{111}$ 、両側は $\mathbf{000}$ が実行される。制御サイクル内の Z の合計実行時間は t_z は式 3.5 で求められる。 Z の実行時間は制御サイクル上では 4 分割され、 $\frac{t_z}{4}$ となる。

上下短絡区間 S_{1-3} 、Active 区間 A 、 B 、Zero 区間 Z における電流の変化を Δi_{Lsh} 、 Δi_{La} 、 Δi_{Lb} 、 Δi_{Lz} とすると次式で表すことが出来る。

$$\Delta i_{Lsh} = \frac{1}{L} \overline{v_{cl}} t \quad (6.1)$$

$$\Delta i_{La} = -\frac{1}{L} (\overline{v_{cl}} - V_{in}) t \quad (6.2)$$

$$\Delta i_{Lb} = -\frac{1}{L} (\overline{v_{cl}} - V_{in}) t \quad (6.3)$$

$$\Delta i_{Lz} = -\frac{1}{L} (\overline{v_{cl}} - V_{in}) t \quad (6.4)$$

t には、それぞれの区間に対応するスイッチングパターンの実行時間が代入される。

上下短絡区間 S_1 の実行時間 t_{sh1} は、 S_1 におけるインダクタ電流の増加と、隣り合う区間である Zero

区間 Z と Active 区間 A の半分の区間で生ずるインダクタ電流の減少が等しくなる条件から

$$\frac{1}{L} \overline{v_{c1}} t_{sh1} = \frac{1}{L} (\overline{v_{c1}} - V_{in}) \frac{t_a}{4} + \frac{1}{L} (\overline{v_{c1}} - V_{in}) \frac{t_z}{4} \quad (6.5)$$

となり、制御サイクル中の S_{sh1} の実行割合を d_{sh1} とすると

$$\begin{aligned} t_{sh1} &= \frac{d_{sh1}}{2} T_{control} = \frac{(d_a + d_z) D_{sh}}{4(1 - D_{sh})} T_{control} \\ &= \frac{(1 - d_b - D_{sh}) D_{sh}}{4(1 - D_{sh})} T_{control} \end{aligned} \quad (6.6)$$

と求める事が出来る。同様に上下短絡区間 S_3 の実行時間 t_{sh3} は、 S_3 におけるインダクタ電流の増加と、隣り合う区間であるゼロベクトル区間 Z とアクティブ区間 B の半分の区間で生ずるインダクタ電流の減少量が等しくなる条件から

$$\frac{1}{L} \overline{v_{c1}} t_{sh3} = \frac{1}{L} (\overline{v_{c1}} - V_{in}) \frac{t_b}{4} + \frac{1}{L} (\overline{v_{c1}} - V_{in}) \frac{t_z}{4} \quad (6.7)$$

となり、制御サイクル中の S_{sh3} の実行割合を d_{sh3} とすると

$$\begin{aligned} t_{sh3} &= \frac{d_{sh3}}{2} T_{control} = \frac{(d_b + d_z) D_{sh}}{4(1 - D_{sh})} T_{control} \\ &= \frac{(1 - d_a - D_{sh}) D_{sh}}{4(1 - D_{sh})} T_{control} \end{aligned} \quad (6.8)$$

と求める事が出来る。

そしてアクティブ区間 A , B に挟まれた上下短絡区間 S_2 の実行時間 t_{sh2} は、制御サイクル中に実行される上下短絡時間 t_{sh} の半分となる $\frac{t_{sh}}{2}$ から t_{sh1} , t_{sh3} を引くことで導出する事が出来る。従って、 t_{sh2} および制御サイクル中の S_{sh2} の実行割合を d_{sh2} とすると

$$t_{sh2} = \frac{d_{sh2}}{2} T_{control} = \frac{T_{sh}}{2} - t_{sh1} - t_{sh3} \quad (6.9)$$

となる。

図 6.2 は、図 6.1 と同じ条件下での θ_{sec} に対する各制御サイクル中の各スイッチングパターンの実行比率の変化を示している。この図より $D_{sh} > 0$ の条件において、 d_{sh1-3} は θ_{sec} によらず常に 0 とならないため、提案制御はボディダイオード無通電運転に必要な上下短絡動作を介したスイッチングパターン切り替えが可能である。

図 6.1 より、提案制御において電流リプルが最も大きくなるのは、Active 区間 A , B が最も長く実行される図 6.1(a) と 6.1(e) に示される $\theta_{sec} = 0^\circ$ と 60° の場合である。この時に提案制御において生ずる電流リプルの最大値 Δi_{Lmax_prop} は

$$\Delta i_{Lmax_prop} = \frac{1}{L} \left[\overline{v_{c1}} \frac{D_{sh}}{2} - (\overline{v_{c1}} - V_{in}) \frac{d_z}{2} \right] T_{control} \quad (\theta_{sec} = 0^\circ, 60^\circ) \quad (6.10)$$

となる。これは、図 6.1(a) と 6.1(e) の中央の上下短絡区間における電流増加が、Zero 区間における電流減少を上回る $\overline{v_{c1}} \frac{D_{sh}}{4} \geq (\overline{v_{c1}} - V_{in}) \frac{d_z}{2}$ において成立する。逆に、電圧利用率 m_{svm} の低下により、Zero 区間における電流減少が上下短絡区間における電流増加を上回る $\overline{v_{c1}} \frac{D_{sh}}{4} < (\overline{v_{c1}} - V_{in}) \frac{d_z}{2}$ の条件下では、電流リプルの最大値 Δi_{Lmax_prop} は、Zero 区間にのみ依存し

$$\Delta i_{Lmax_prop} = \frac{1}{L} (\overline{v_{c1}} - V_{in}) \frac{d_z}{2} T_{control} \quad (\theta_{sec} = 0^\circ, 60^\circ) \quad (6.11)$$

となる。

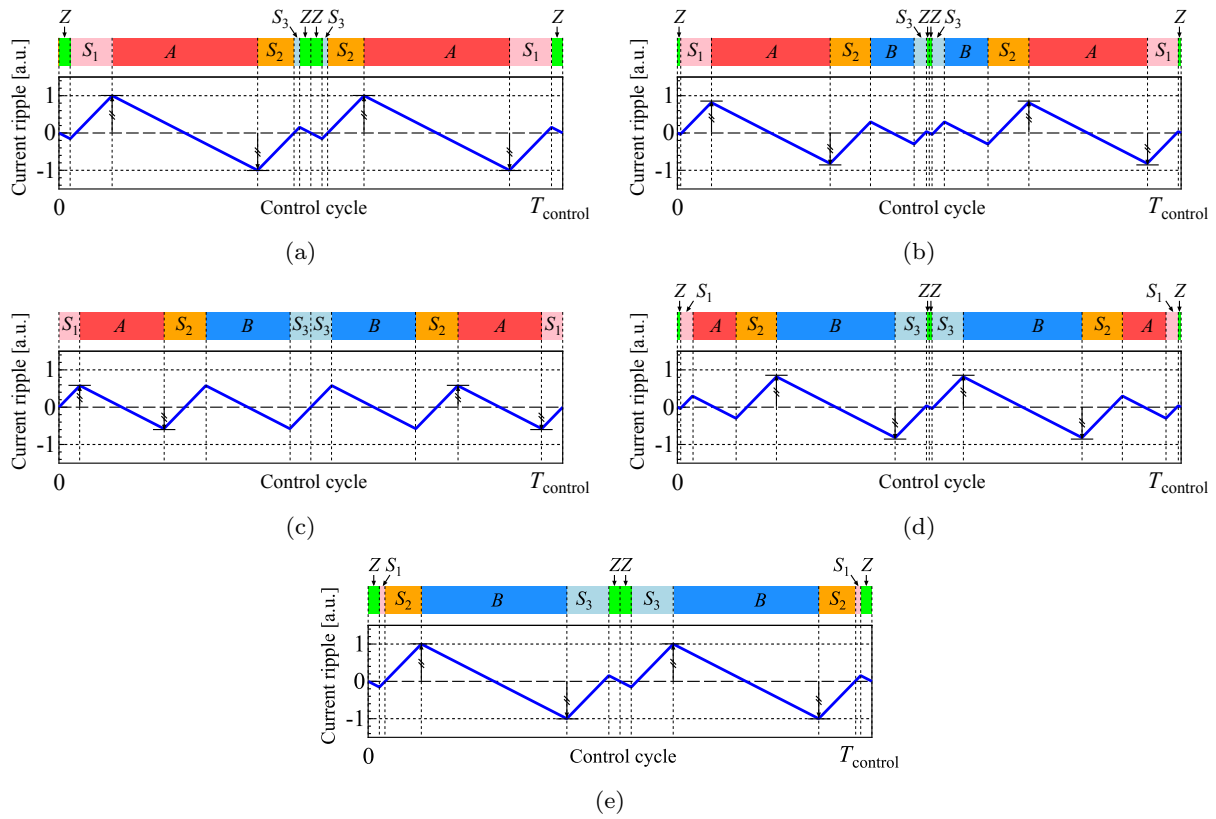


図 6.1 提案制御における各 θ_{sec} におけるスイッチングパターンとインダクタの電流リプル (a) $\theta_{\text{sec}} = 0^\circ$ (b) $\theta_{\text{sec}} = 15^\circ$ (c) $\theta_{\text{sec}} = 30^\circ$ (d) $\theta_{\text{sec}} = 45^\circ$ (e) $\theta_{\text{sec}} = 60^\circ$

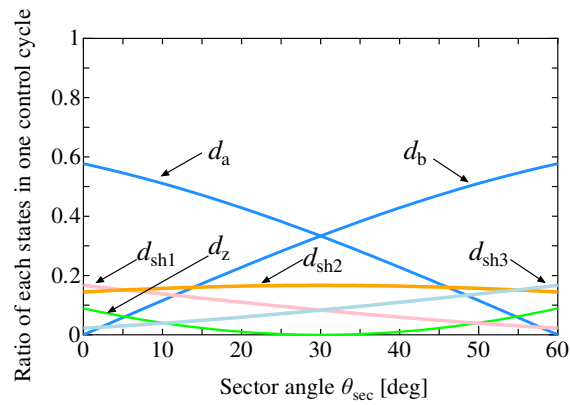


図 6.2 θ_{sec} に対する制御サイクル内での各スイッチングパターンの実行率の変化 $m = 1$, $D_{\text{sh}} = 0.3334$

6.4 従来制御との比較

図 6.3 は、3 章で提案した 6 等分された上下短絡区間を有する従来制御方法のスイッチングパターンと生ずる電流リップルを図 6.1 と同じ運転条件の場合について示している。縦軸の電流リップルの振幅は、提案制御の電流リップルの振幅が最大となる図 6.1(a) に示す $\theta_{\text{sec}} = 0^\circ$ の際の振幅によって正規化されている。図 6.3 より、従来の制御では $\theta_{\text{sec}} = 0^\circ$ において S_2 と S_3 , $\theta_{\text{sec}} = 60^\circ$ では S_1 と S_2 が連続して実行されることによって、 S_{1-3} の幅を制御する提案制御と比べて電流リップルの振幅が増加している。この時発生する電流リップルを $\Delta i_{\text{Lmax.conv}}$ とすると

$$\Delta i_{\text{Lmax.conv}} = \frac{1}{L} \left[\overline{v_{\text{cl}}} \frac{2D_{\text{sh}}}{3} - (\overline{v_{\text{cl}}} - V_{\text{in}}) \frac{d_z}{2} \right] T_{\text{control}} \quad (\theta_{\text{sec}} = 0^\circ, 60^\circ) \quad (6.12)$$

となる。式 6.12 は、 $\overline{v_{\text{cl}}} \frac{D_{\text{sh}}}{3} \geq (\overline{v_{\text{cl}}} - V_{\text{in}}) \frac{d_z}{2}$ かつ $\theta_{\text{sec}} = 0^\circ, 60^\circ$ において成立し、 m の低下により、Zero 区間での電流減少が支配的となる $\overline{v_{\text{cl}}} \frac{D_{\text{sh}}}{3} < (\overline{v_{\text{cl}}} - V_{\text{in}}) \frac{d_z}{2}$ では

$$\Delta i_{\text{Lmax.conv}} = \frac{1}{L} (\overline{v_{\text{cl}}} - V_{\text{in}}) \frac{d_z}{2} T_{\text{control}} \quad (\theta_{\text{sec}} = 0^\circ, 60^\circ) \quad (6.13)$$

となる。

図 6.4 は、提案制御と従来制御の各 θ_{sec} および $m = 1$ とした際の G に対する電流リップルの最大振幅を示している。図 6.4 より、提案制御は、任意の θ_{sec} および G に対して従来制御に比べて電流リップルの最大値を 27.8% 低減出来る。

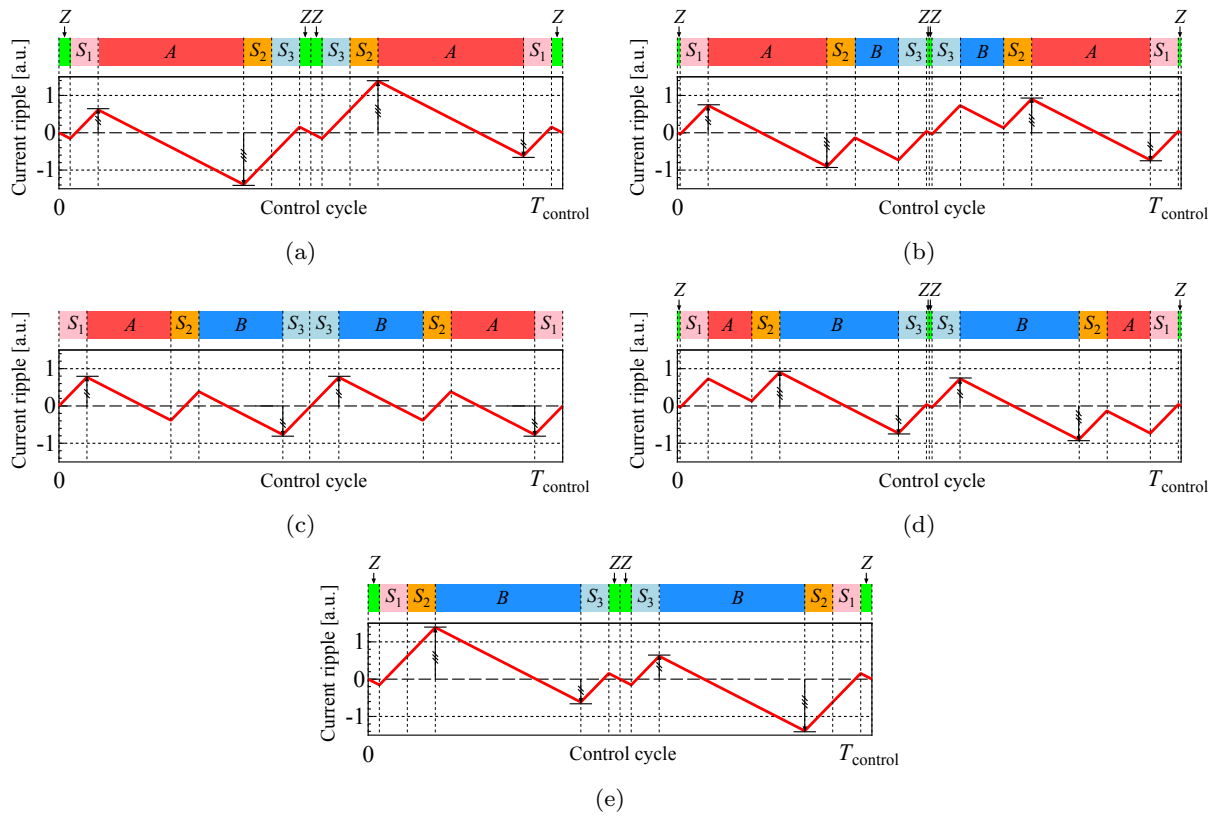


図 6.3 従来制御における各 θ_{sec} におけるスイッチングパターンとインダクタの電流リップル (a) $\theta_{\text{sec}} = 0^\circ$ (b) $\theta_{\text{sec}} = 15^\circ$ (c) $\theta_{\text{sec}} = 30^\circ$ (d) $\theta_{\text{sec}} = 45^\circ$ (e) $\theta_{\text{sec}} = 60^\circ$

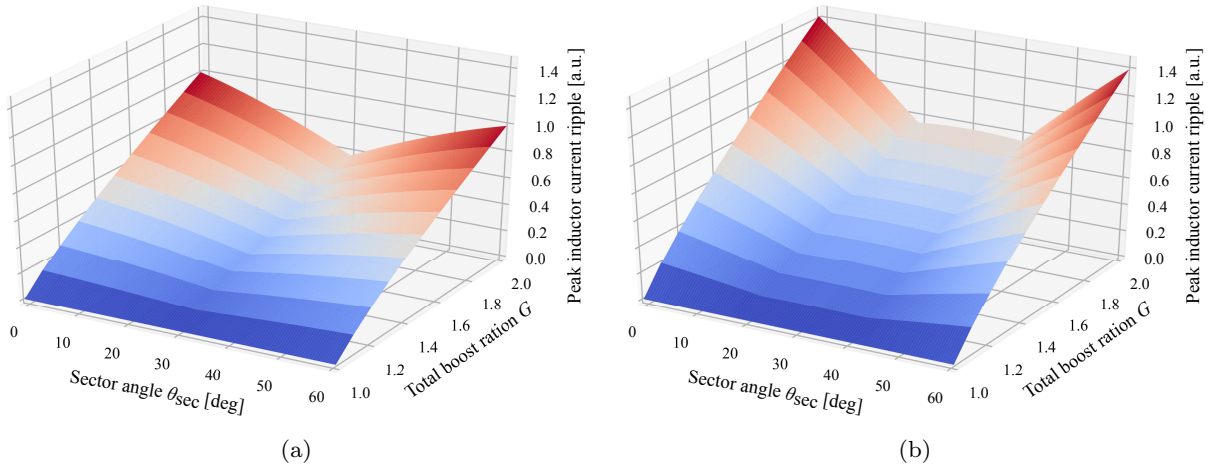


図 6.4 $G = 2$, θ_{sec} に対するインダクタ電流リプル変化 (a) 提案制御 (b) 従来制御.

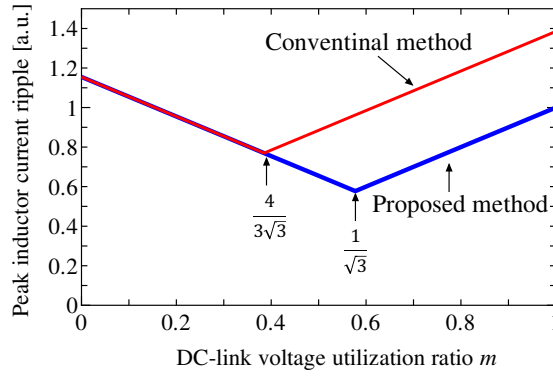


図 6.5 DC リンク電圧利用率 m に対する電流リプルの変化 ($\theta_{\text{sec}} = 0^\circ, 60^\circ$)

図 6.5 は、DC リンク電圧利用率 m に対する電流リプルの変化を表したもので、式 6.10–6.13 に対してコンデンサ電圧 \bar{v}_{c1} を決定する D_{sh} を一定として m を低下させた場合を示している。両制御の電流リプルは、 m が低下する事によって Active 区間の幅が減少するのに伴って減少するが、 m が一定の値に達すると Zero 区間で生ずる電流リプルが支配的となり、電流リプルは増加を始め、最終的に両制御で生ずる電流リプルの幅は一致する。電流リプルの増減が変曲点を迎える際の m は、式 6.10, 6.12 より、提案制御では $\frac{4}{3\sqrt{3}}$ 、従来制御では $\frac{1}{\sqrt{3}}$ であり、提案制御の方が m が低い領域においても電流リプルの低減能力を維持することが可能である。

ZSI の運転は常に電圧利用率 $m = 1$ とし、上下短絡比 D_{sh} の制御によってのみで昇圧比を変更することで、最も電圧利用率を高くする事が出来る。一方、先行研究では m と D_{sh} を個別に制御することが提案されている [102, 103]。文献 [102] では、インピーダンスソース上のコンデンサ C_1 にバッテリーを接続した ZSI が提案されており、バッテリーの電力制御に D_{sh} 、出力波形の制御に m を割り当てることで独立した制御を実現している。文献 [103] では、分散電源向けの ZSI において m と D_{sh} を独立して制御することで、制御性を向上できることが提案されている。提案制御は、ZSI の方式に関係なく適用可能である。従って、図 6.5 の結果は、これらの先行研究で提案されてきた $m < 1$ となる条件下においても提案制御の電流低減能力は有効である事を示している。

そして、提案制御は図 6.1 と図 6.3 から明らかなように上下短絡区間の幅の最適化を行っているのみである。即ち、制御サイクル中の上下短絡の挿入回数とデバイスの駆動回数は等しく、同じ制御周波数の

場合，提案制御の導入によってスイッチングに起因する損失は増加しない。従って，提案制御を用いることで同じ駆動周波数であれば，よりインダクタの小型化が可能であり，逆にインダクタの体積を変えずに駆動周波数を低減することでスイッチングに起因する損失を低減することが出来，ZSI の設計の自由度を広げる事が可能である。

6.5 実験による検証

6.5.1 実験回路

提案制御の電流リプル低減能力の検証を行うために 3 kW 級 QZSI を製作し、提案制御および従来制御を実装した際の各出力電力 P_{out} 、総合昇圧比 G 、電圧利用率 m におけるリプル電流の低減能力の測定と比較を行った。

図 6.6 に製作した QZSI の実機、仕様を表 6.1 に示す。インバータ部分には、SiC-SBD を持たない SiC-MOSFET である SCT2080KE(ROHM 製)、インピーダンスソース部分には SiC-SBD である SCS230KE2(ROHM 製)を用いた。インダクタ L_1 , L_2 は、2つの巻線で1つのコアを共有したものを採用している。これは、QZSI 上の L_1 , L_2 に流れる電流が等しい事を利用しており、2つのインダクタが運転している際に各コイルで生ずるインダクタンスは 1.07 mH となる。コンデンサ C_1 , C_2 は、スイッチングにより生ずる電圧リプルが充分に小さくなるように 50 μF を設定した。図 6.7 に示すように、回路構造には、デバイスに生ずるサージ電圧の原因となる電流経路上の寄生インダクタンスを低減のために、銅板を貼り合わせたバスバー構造を採用した。

制御の実装は、3 章と同様に DSP と FPGA を用いており、DSP 上で A , B , Z の実行時間を基に S_{1-3} の実行時間を計算し、FPGA が各区間の配列の並び替えを行い、スイッチングパターンの生成する。 S_{1-3} を実行する際のスイッチングパターンには、3 レグ短絡を設定しており、ボディダイオード無通電運転が可能である。

6.5.2 電流リプル低減効果

図 6.8 は、両制御における $P_{\text{out}} = 3.1 \text{ kW}$, $G = 2.0(m = 1, D_{\text{sh}} = 0.3334)$ での入出力波形を示している。上段にコンデンサ電圧 v_{c1} 、出力線間電圧 v_{u-v} 、出力 U 相電流 i_u 、下段にはインダクタ電流 i_L 電流リプルが最も増加する $\theta_{\text{sec}} = 0^\circ$ 付近を拡大したものを示している。図 6.8 より入力電圧 240 V に対して、式 2.15 に従い、コンデンサ電圧 v_{c1} は 480.8 V、出力線間電圧 v_{u-v} の最大値は式 2.14 に従い

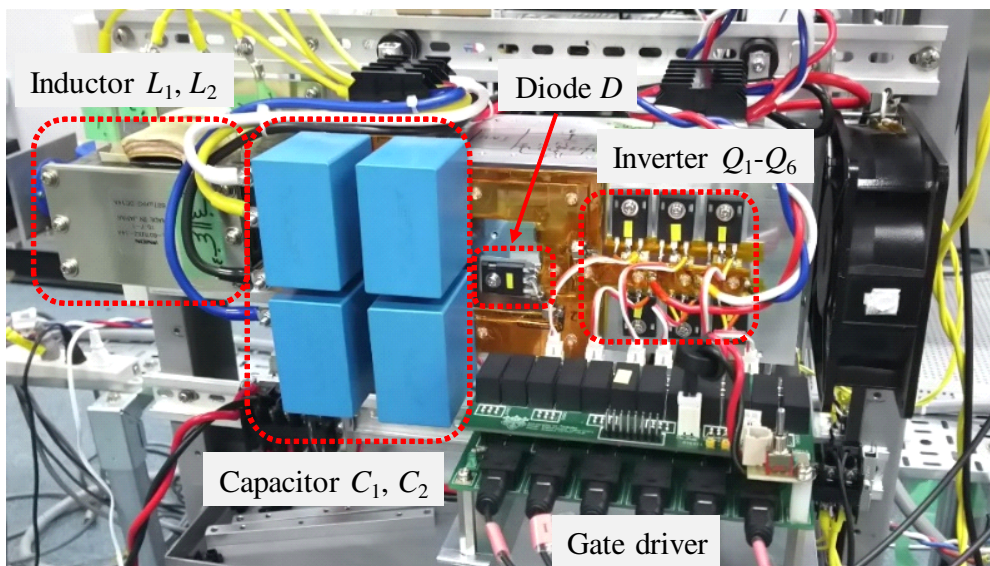


図 6.6 製作した SiC-MOSFET を用いた 3 kW 級 QZSI.

表 6.1 実験に使用した 3 kW 級 QZSI の仕様

Input voltage	V_{in}	240, 267, 300 V
Output voltage	V_{ll}	340 V
Output frequency	f_{out}	200 Hz
Control frequency	$f_{control}$	20 kHz
Total boost ratio	G	2.0, 1.8, 1.6
Capacitor voltage	$\overline{v_{c1}}$	480.8 V
Inverter switches	Q_1-Q_6	SCT2080KE 1200 V, 40 A, 80 m Ω
Diode	D	SCS230KE2 1200 V, 30 A
Capacitor	C_1, C_2	50 μ F
Inductance	L_1, L_2	1.07 mH

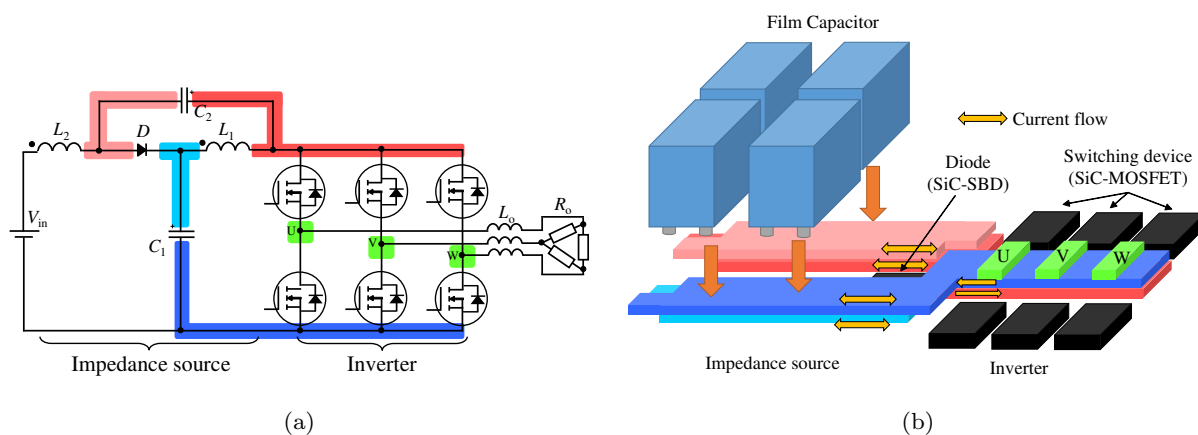


図 6.7 採用したバスバー構造 (a) QZSI を構成する 4 つの節点 (b) バスバーの構造

720 V に達しており、昇圧動作が設定した D_{sh} に従って行われていることが確認できる。出力電流 i_{ll} は、設定した出力周波数 $f_{out} = 200$ Hz に等しく、歪の少ない電流波形が両制御で得られた。インダクタ電流 i_L は、提案制御の電流リプル Δi_L が 3.55 A に対して、従来制御では 4.75 A となっており、提案制御による電流リプルの低減を確認した。以上の結果から両制御方式において昇圧・インバータ動作が設定通り行われていること、提案制御によるリプル電流の低減効果を確認した。

図 6.9 に各昇圧比 G および出力電力 P_{out} における提案制御と、従来制御において発生した電流リプルの測定値と式 6.10 と 6.12 を用いて得られた計算値との比較を示す。この実験では、DC リンク電圧利用率 $m = 1$ 、出力線間電圧 $V_{ll} = 340$ V に固定し、入力電圧 V_{in} を 300, 267, 240 V、総合昇圧比を $G = 1.6, 1.8, 2.0$ となるように上下短絡比 D_{sh} を設定した。測定された各電流リプルから提案制御は、従来制御に比べて電流リプルを 22.6–27.8% 低減しており、これらの結果は図 6.9 上に示すように計算値とよく一致している。従って、式 6.10 と 6.12 による電流リプルの計算結果が有効であることを確認した。

図 6.10 に提案制御と、従来制御においてコンデンサ電圧 v_{c1} を一定として、DC リンク電圧利用率 m を変化させた場合の電流リプルの測定値と、式 6.10–6.13 を用いて得られた計算値との比較を示す。この実験では $V_{in} = 240$ V、 $v_{c1} = 480.8$ V となるように D_{sh} を制御し、 m を 1–0.4 に変化させる。この

時, ZSI が低電力域の運転において, 過剰な昇圧比が発生する不連続モード [84–88] に陥らないように, $P_{\text{out}} = 0.9\text{--}1.11\text{ kW}$ の範囲で運転が行われるように負荷の調整を行った。測定された各電流リプルから m が減少した状態においても, 提案制御の方が従来制御に比べて電流リプルを低減可能なことを確認した。また, 測定された電流リプルは, 計算値とよく一致しており, 式 6.10–6.13 が有効であることが確認された。

図 6.9 および図 6.10 の結果から, 提案制御は各 P_{out} , G , m において, 従来制御よりも電流リプルの低減が可能である。また, 従来制御, 提案制御共に, 生ずる電流リプルの最大値を得るための式 6.10–6.13 を用いて得られた電流リプルと実験値はよく一致しており, この式を用いることで, 運転条件から必要となるインダクタンス及び電流リプルを得ることが可能である。

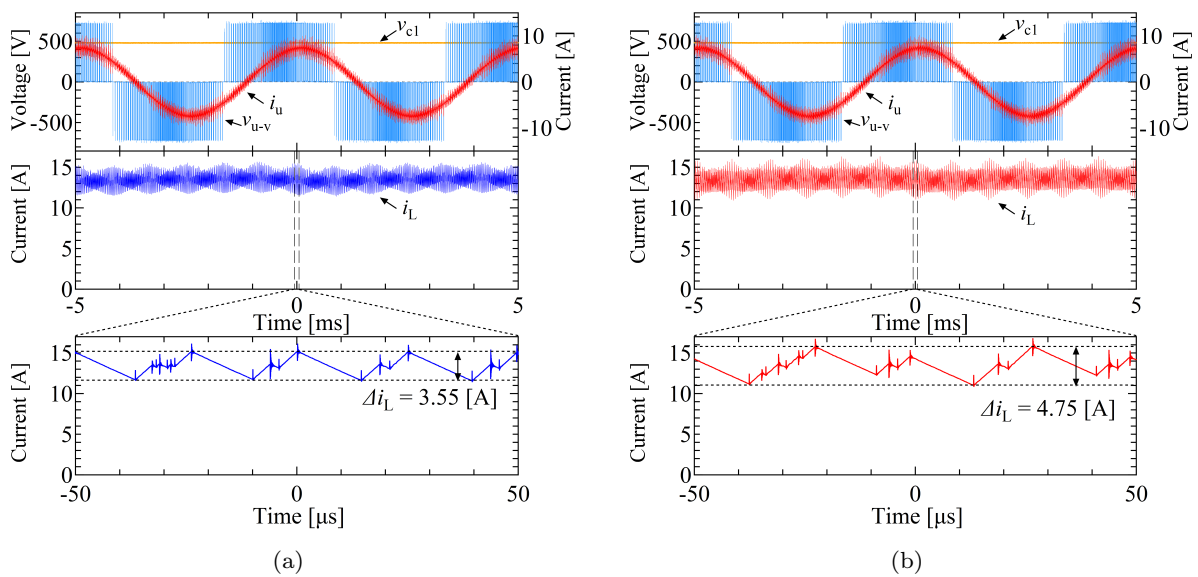


図 6.8 $G = 2.0(m = 1, D_{\text{sh}} = 0.3334)$, $P_{\text{out}} = 3.1\text{ kW}$ における入出力波形 (a) 提案制御 (b) 従来制御

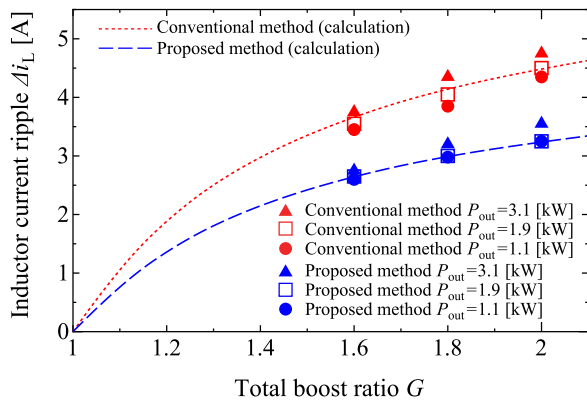


図 6.9 $G = 1.6, 1.8, 2.0$, $P_{out} = 1.1, 1.9, 3.1$ kW での電流リップルの測定値と計算値の比較

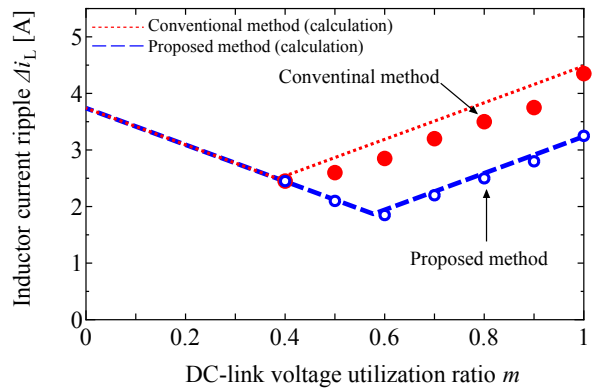


図 6.10 $\overline{v_{c1}}$ を一定として m を低減した際の電流リップルの測定値と計算値の比較

6.5.3 入出力電流波形と損失への影響

図 6.11 は、図 6.8 の運転条件である $P_{\text{out}} = 3.1 \text{ kW}$, $G = 2.0$ ($m = 1$, $D_{\text{sh}} = 0.3334$) における両制御のインダクタ電流 i_L の周波数解析の結果を示している。両制御において最も大きな周波数成分は、制御周波数の 2 倍となる 40 kHz であり、両制御の結果は、提案制御で得られた 40 kHz の成分の振幅によって正規化されている。提案制御は従来制御に比べ、電流リップルの低減によって 20 kHz 付近に生ずる成分を 70% 以上低減しており、合わせて 40 kHz の成分も低減されている。この結果は、制御周波数を高くした際にインダクタの巻線の交流抵抗で生ずる銅損の低減、低くした際にはインダクタで生ずる可聴域のノイズを低減することに効果があると考えられる。また、提案制御では、40 kHz 以上の高周波数の成分が増加していないため、交流抵抗での銅損や鉄損をはじめとする高周波数の成分によってインダクタで生ずる損失への影響が少ないと考えられる。

図 6.12 は、図 6.8 の運転条件における両制御の出力電流 i_u の周波数解析の結果を示している。これらの結果は、出力周波数の基本波成分 200 Hz の振幅により正規化されている。この結果から提案制御の導入によって、出力電流に高調波が発生していないことが確認できる。なぜなら、制御サイクル中のスイッチングパターンの配分を制御しているのみであり、制御サイクル中に出力される平均値は変化しないからである。従って、提案制御の導入による出力電流波形の劣化は生じない。

図 6.13 は、両制御を適用した際の各 G における損失・変換効率を示している。両制御の間で損失・変換効率に大きな違いがないことが確認できる。これは、提案制御を導入してもスイッチングパターンの配分が変わるのみであり、流れる電流の直流成分、スイッチング損失が発生する上下短絡動作の挿入回数が増えるためである。図 6.11 で示したようにインダクタ電流の交流成分が低下したことによってインダクタで生ずる交流成分に起因した損失は低減できるが、その大きさは小さく、変換効率への影響は無視することが出来る。しかし、提案制御による電流リップルの低減を考慮してインダクタを再設計することが出来れば、従来制御に用いたものに比べて、巻数を低減出来る。従って、インダクタの直流抵抗を低減する事が出来るため、回路全体の損失を低減する事が出来る。

図 6.11-6.13 の結果から、提案制御の導入によって入出力電流波形の歪や損失が増加しないことを確認できた。従って、提案制御に基づいて設計したインダクタを搭載することで従来制御を適用した場合に比べて、インダクタの損失と体積の低減が可能である。

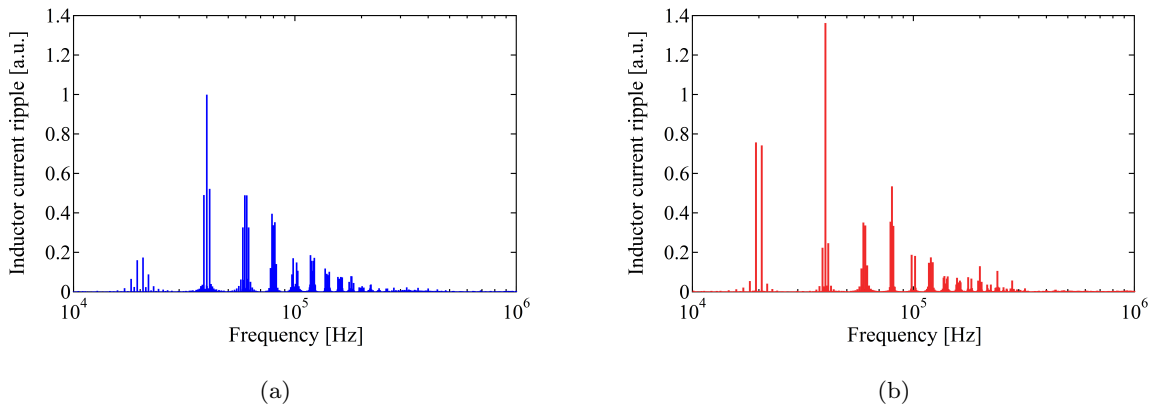


図 6.11 $G = 2.0$, $P_{\text{out}} = 3.1 \text{ kW}$ におけるインダクタ電流の周波数解析結果 (a) 提案制御 (b) 従来制御

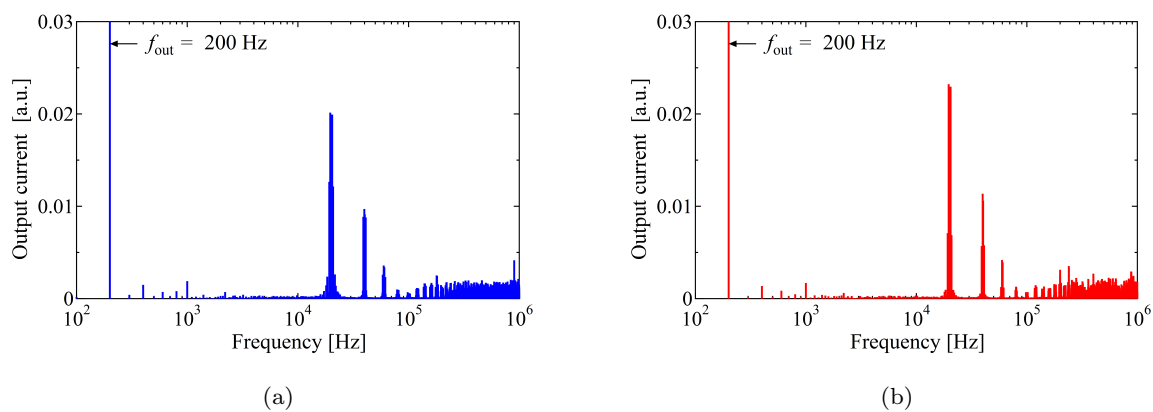


図 6.12 $G = 2.0$, $P_{out} = 3.1$ kW における出力電流 i_u の周波数解析結果 (a) 提案制御 (b) 従来制御

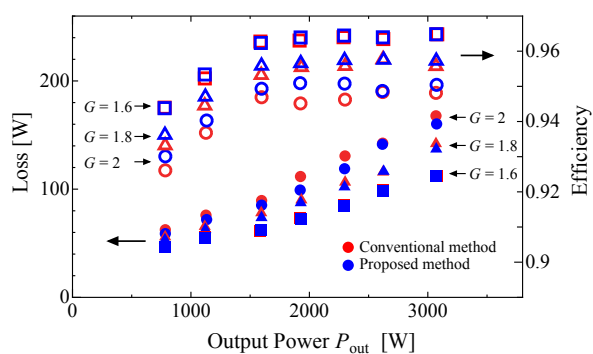


図 6.13 両制御方式適用時の損失と効率の比較

6.6 提案制御によるインダクタの小型化

提案制御の従来制御に対する，インダクタの体積の削減への寄与について検討する。インダクタの体積の指標として用いられる Area product [104] によれば，インダクタの体積はインダクタンス L ，インダクタ電流の実効値 I_{L_rms} ，インダクタ電流の最大値 I_{L_peak} より，体積指標を A_L とすると

$$A_L \propto L I_{L_rms} I_{L_peak} \quad (6.14)$$

と表すことが出来る。今回の実験では，同じインダクタを用いた場合，提案制御は，従来制御に比べてインダクタ電流のリプルを 27.8% 低減可能である。言い換えれば，両制御を適用した際のインダクタを設計する場合， I_{L_rms} ， I_{L_peak} を等しく設定した場合，提案制御により，インダクタンス L を 27.8% 小さくすることが可能である。従って，インダクタの体積は，Area product の観点からリプル低減能力と同じ 27.8% 低減される。

図 6.14 に，5 章において，設計した QZSI および昇圧用 DC-DC のインダクタと，提案制御を QZSI に適用し，同じ I_{L_rms} ， I_{L_peak} において設計した場合の Area product による体積の比較を示している。5 章で設計した条件下で，QZSI の L_1 ， L_2 の Area product の合計は従来システム上の L_{dc} の，1.32 倍であった。ここに提案制御を適用することで，同じ電流条件であれば，QZSI の L_1 ， L_2 を 1.60 mH から 1.16 mH に低減することが出来る。これにより，提案制御適用時の Area product の合計は 0.301 となり，QZSI は，損失を増加させずに従来システムと同等の体積にまでインダクタの小型化が可能になる。

しかし，5 章の設計条件では，QZSI が不連続モードに陥らないことを前提としてインダクタの設計を行っている。従来システムの DC-DC の動作上，不連続モードは，インダクタの電流リプルの下端が 0 に接触するまで発生しないため，QZSI に比べて電流リプルの幅は更に大きくすることが可能である。そのため，総合的に QZSI と従来システムにおける体積の比較，および提案する制御の能力を評価するには，駆動周波数と損失，及びインダクタの設計の関係を明らかにする必要がある。この検討を進めることは，QZSI に適した高性能デバイスに求められる性能，および搭載した際の効率や出力密度への影響を明らかにすることにもつながる。

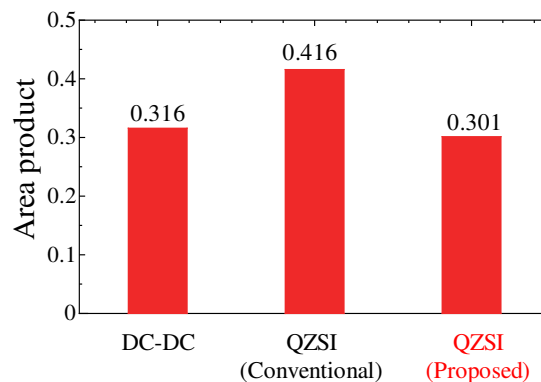


図 6.14 5 章で製作したインダクタの Area product による体積の評価

6.7 6章のまとめ

6章では QZSI の高出力密度化に向けた制御による受動部品の小型化として、上下短絡区間の配分の最適化によるインダクタの小型化を提案し、実機実験によってその効果を実証した。本研究で提案した制御法は、3, 4章において提案した制御法を基に、スイッチングパターンの切り替わりの際に挿入する3レグ短絡動作の区間を可変とすることで、ボディダイオード無通電運転を維持しつつ、電流リプルを従来の上下短絡動作を一定の分割して挿入する制御に比べて、27.8% 低減する。提案制御と過去に提案されてきた制御の大きな違いは、過去の制御では上下短絡区間を可変は実現していたが、変調方式の関係により電圧利用率が低く、上下短絡動作は、1レグ短絡動作に限定されており、高性能デバイスを活かすことが出来なかった点である。

実機による検証では、3 kW 級 SiC-MOSFET を搭載した QZSI を製作し、各運転条件における提案制御と従来制御の電流リプルの比較を行った。実験結果より、提案制御の電流リプルの低減量は、本章で導出した計算結果と一致することを確認した。よって、本章で導出した式を用いて提案制御を適用した際に必要なインダクタンスを設計することが可能である。また、入出力電流波形の周波数解析と損失測定から提案制御によるインバータシステムの性能の低下が生じないことを明らかにした。

インダクタの体積評価の指標である Area product を用いて提案制御を適用した際のインダクタの小型化について、試算を行った。Area product 上、提案制御は従来制御に比べて、インダクタの体積を電流リプル低減量と同じ 27.8% 低減可能である。低インダクタンス化による巻き線の低減に伴う銅損の低減が可能である。また、提案制御を5章で製作した QZSI のインダクタの設計に適用した場合、従来回路と同程度までインダクタを小型化が可能となる。これは、高性能デバイスを搭載した QZSI をボディダイオード無通電運転を維持しつつ、従来システムよりも高効率かつ高出力密度なインバータシステムが実現できる見込みがあることを示している。

よって、6章では、提案した制御方法を高性能デバイスを搭載した QZSI をはじめとする ZSI の高出力密度化を実現するための制御方法として有効であると結論づける。

第 7 章

結論

本研究の目的は、電力変換器の高い次元での高効率化と高出力密度化の実現において、デバイス・回路・制御を融合させ、互いの課題を補い、その性能を引き出しあうことができるインバータシステムを提案することである。この目的を達成するために、高性能デバイスの特性を活かしたインバータシステムを実現する方法として、上下短絡動作によって昇圧・インバータ動作を融合したインピーダンスソースインバータ (ZSI) に着目した。

本論文では、以下のことを明らかにした。

- 高性能デバイスの応用において課題である MOSFET のボディダイオードの通電を ZSI 方式において上下短絡動作を行うことで回避できることを明らかにした。そして、そのための制御方法を提案した。この制御方式は、インバータを短絡させる三相 ZSI であれば、インピーダンスソースの方式が異なっても適用可能である。
- 高性能デバイスの特性を考慮した上下短絡方式として、短絡動作時には、全てのレグを上下短絡させる 3 レグ短絡用いることによって、ZSI の導通損失、ターンオン損失が低減可能なこと、ターンオフ損失は、上下短絡方式に関わらず、デバイスの寄生容量によって決定されることが分かった。この検討により ZSI 上のスイッチング現象の特徴を明らかにすることが出来た。この 3 レグ短絡は、ボディダイオード無通電運転を可能とする制御と共に任意の三相 ZSI に適用出来、損失の低減を可能に貢献する。
- 従来システムにおいて搭載が不可能だった Si-SJ-MOSFET を ZSI へ搭載することで、上下短絡動作による逆回復現象の回避と Si-SJ-MOSFET の特長である低オン抵抗特性を活かした高効率化が可能なことを明らかにした。損失解析により、ZSI は、回路動作の特徴上、昇圧比の増加に伴う損失の増加率が、従来システムに対して大きく、提案するシステムは低昇圧比の領域で有効であることが分かった。従って、高性能デバイスを適用した ZSI が、従来システム以上の能力を発揮するには、適用するアプリケーションの出力電圧範囲を十分に考慮する必要がある。
- ボディダイオード無通電運転を維持しつつ、ZSI 上で大きな体積を占めるインダクタの小型化を可能にする新たな制御方式とそれを考慮したインダクタの設計方法を提案し、実機実験により、その有効性を明らかにした。この手法を用いた場合、ZSI のインダクタの体積を同じ電流リプル条件で設計された従来インバータシステムのインダクタと同等まで小型化出来る見込みが得られた。

以上のことから、本研究で目的としていたデバイス・回路・制御の融合によるインバータシステムの高性能化が、上下短絡動作を可能とする ZSI 方式に高性能デバイスを搭載することによって実現でき、それが従来のシステムを超えることが出来る可能性を示すことができた。そして、今後のパワーエレクトロニクスの発展には、今回示したように各技術の発展・連携・協調が重要であると結論付ける。

最後に今回の研究から得られた知見を基に高性能デバイスを搭載する ZSI のインバータシステムとしての更なる高性能化と適用可能範囲の拡大のために検討を進めるべき内容を以下に示す。

- ZSI 上のデバイス動作に着目するため、本研究では、QZSI を用いた検討にとどまったが、それ以外のインピーダンスソースの方式にも、小型化と高効率化の観点から議論すべきである。特に磁気結合部品を有する ZSI については、部品点数の観点から従来 ZSI に比べて、小型化の余地があると考えられる。一方で低い上下短絡比で高昇圧比を実現するために、デバイスに短時間でより大きな上下電流が流れていると考えられる。損失と体積のトレードオフの観点から他のインピーダンスソース方式についても、最適な設計を行った場合に実現されるシステムの性能について議論を行うことでより小型化と高効率化の見込みがあるインピーダンスソース、およびその運転条件が明らかになると考えられる。
- 上下短絡動作が可能な ZSI の動作に特化した新たなデバイスの実現の可能性とそれによる高性能インバータシステムの性能の向上について議論する必要がある。今回の検討から、ZSI に用いられるデバイスには、低オン抵抗だけでなく、スイッチング損失に寄与する寄生容量の低減が必要であることが明らかになった。これを実現するには、デバイスの規格オン抵抗の低減とチップ面積の低減が必要である。このデバイスへの要求が、ボディダイオードの課題を回路で解決したことによって、どの程度のレベルで成立し、デバイスの性能をどれだけ向上させるのかをデバイス構造等を含めて議論する。そして、それによる ZSI に対する効果を明らかにすることでデバイス性能を回路を活かすことの意義をより明確にすることが出来る。
- 本研究で提案したシステムの有効性を示すには、従来システムとの損失および体積をベースとした更なる比較検討が必要である。そのためには、導通損失だけでなく、スイッチング損失、受動部品や冷却器の体積に対して、モデリングによる解析と最適化が出来るようにする必要がある。このモデリングが実現すれば、最適設計だけでなく、各構成要素の性能向上がシステム全体に対して与える影響を明らかにすることが出来るため、デバイスやインダクタに対する新材料や構造の適用がシステムに与える効果についても予想が可能になると共に回路側からのデバイスに対する更なる提案が可能となる。
- 高性能デバイスの活用と ZSI の損失として支配的なスイッチング損失の低減のために、高速スイッチングと低サージ電圧を両立する ZSI の実装方法を検討する必要がある。ZSI の DC リンクは、上下短絡動作により電流の ON/OFF が生ずるため、低インダクタ化が必要である。しかし、VSI のようにサージを吸収するコンデンサを DC リンク部分に接続することが出来ない。そのため、大容量化に伴う部品寸法の大大型化に従って、配線長の短縮による低インダクタンス化は限界が来ると考えられる。そこで、短絡電流の経路、受動部品の配置や周波数特性に着目した実装方法の検討が、ZSI の大容量化と高性能デバイスの持つ優れたスイッチング特性を活用する上で必要となると考えられる。
- インバータシステムの更なる応用範囲の拡大に向けて、ボディダイオード無通電運転を行いつつ、直流電源側への回生動作と、低電力の領域において起こる不連続モードへの対応が可能な ZSI の制御方法について議論する必要がある。既に AC-DC 変換器にインピーダンスソースを搭載したものが提案されているため、回生動作自体を ZSI に組み込むことは可能であると考えられる。また、不連続モード化での制御方法についても検討が行われている。しかし、本研究で提案したボディダイオード無通電運転を両立する制御については言及されていない。これを両立することが出来れば、モータドライブシステムをはじめとする回生動作と幅広い電力領域で運転するアプリケーションに対して、高性能デバイスを用いた ZSI の導入を進めることが可能となる。
- インダクタの更なる小型化とボディダイオード無通電運転の両立する新たなスイッチングパターン生成方法の検討が可能であると考えられる。今回提案した SVM 方式に基づく制御方法は、既存の変調方式に比べて、1 制御サイクル中のスイッチングパターンの分割と配分をより柔軟に行うことが出来る。従って、今回提案した 6 つの上下短絡動作を用いるものに比べて、更にスイッチングパターンの分割数を増やすことで、1 スwitchング当たりの電流リップル低減の効果をより高めた制御方法が実現できると考えられる。

- ZSI の回路構造や制御方式に起因した出力波形に対するコモンモード成分などの伝導性のノイズに関する検討が必要である。Si-SJ-MOSFET を用いた QZSI と従来システムの比較において、QZSI は VSI に比べて、出力電流にスイッチングに起因する多くのスパイク状の成分が見られた。スイッチングによる急峻な電圧変化が、出力や回路上のインダクタの寄生容量の成分を通じて、電流が流れたことが原因と考えられ、ZSI は、VSI に比べてその影響が大きいと考えられる。その要因を明らかにし、インピーダンスソースの構造の工夫などにより低減することが出来れば、ZSI の信頼性をより向上することが出来る。

参考文献

- [1] M. Olszewski, “Evaluation of 2004 Toyota Prius Hybrid Electric Drive System”, Oak Ridge National Laboratory, May. 2005.
- [2] M. Olszewski, “EVALUATION OF THE 2010 TOYOTA PRIUS HYBRID SYNERGY DRIVE SYSTEM”, Oak Ridge National Laboratory, Mar. 2011.
- [3] 岩室 憲幸, 坂東 章, 矢野 浩司, 宮澤 哲哉, 江口 博臣, 三浦 喜直, 鹿内 洋志, 池田 成明, 上本 康裕, 平岩 篤, 「新材料パワーデバイスの最新技術」, 電気学会論文誌 C (電子・情報・システム部門誌), vol. 137, no. 1, pp. 13-19, 2017.
- [4] 安住 壮紀, 山下 浩明, 小野 昇太郎, 松毛 和久, 「SJ-MOSFET のターンオフにおけるノイズシミュレーション」平成 29 年電気学会全国大会論文集, 4-139, 2017.
- [5] 倉持 拓弥, 磯部 高範, 只野 博, 「SiC-MOSFET 動作時における誤ターンオンの High-side ゲート抵抗依存性に関する検討」平成 29 年電気学会全国大会論文集, 4-011, 2017.
- [6] ローム株式会社, SiC パワーデバイス・モジュール: アプリケーションノート, 2014.
- [7] A.K. Agarwal, F. Husna, S. Haney and S.-H. Ryu, “A new degradation mechanism in high-voltage SiC power MOSFETs,” *IEEE Electron Device*, letters, vol. 28, no. 7, pp. 587-589, July 2007.
- [8] 藤田, 秋山, 島, 嶋本, 「SiC-MOSFET を用いた絶縁型 DC-DC コンバータの動作検証」平成 28 年電気学会産業応用部門大会, no. 1-11, pp. 33-34, 2017.
- [9] 餅川 宏, 津田 純一, 児山 裕史, 「住宅向け太陽光発電パワーコンディショナに適した高効率インバータ回路方式」 *Toshiba review*, vol. 67, No. 1, pp.26-29, Dec. 2012.
- [10] 葛巻, 小谷, 野木, 餅川, 青山, 「SiC 適用による変換器の高パワー密度化」平成 28 年電気学会産業応用部門大会, no. 3-S8-4, pp. 45-48, 2017.
- [11] Z. Wang et al., “Temperature-Dependent Short-Circuit Capability of Silicon Carbide Power MOSFETs,” *IEEE Transactions on Power Electronics*, vol. 31, no. 2, pp. 1555–1566, Feb. 2016.
- [12] M. Namai, J. An, H. Yano and N. Iwamuro, “Experimental and numerical demonstration and optimized methods for SiC trench MOSFET short-circuit capability,” *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, Sapporo, 2017, pp. 363–366.
- [13] Y. P. Siwakoti, F. Z. Peng, F. Blaabjerg, P. C. Loh and G. E. Town, “Impedance-Source Networks for Electric Power Conversion Part I: A Topological Review,” *IEEE Transactions on Power Electronics*, vol. 30, no. 2, pp. 699–716, Feb. 2015.
- [14] Y. P. Siwakoti, F. Z. Peng, F. Blaabjerg, P. C. Loh, G. E. Town and S. Yang, “Impedance-Source Networks for Electric Power Conversion Part II: Review of Control and Modulation Techniques,” *IEEE Transactions on Power Electronics*, vol. 30, no. 4, pp. 1887–1906, Apr. 2015.
- [15] F. Z. Peng, “Z-Source Inverter,” *Conference Record of the 2002 IEEE Industry Applications Conference. 37th IAS Annual Meeting (Cat. No.02CH37344)*, vol.2, pp. 775–781, Oct. 2002.

- [16] Fang Zheng Peng, "Z-Source Inverter," *IEEE Transactions on Industry Applications*, vol. 39, No. 2, pp. 504–510, Mar./Apr. 2003.
- [17] 萬年 智介, 藤田 英明, 「電圧形 PWM 変換器のデッドタイムに起因する電圧誤差の解析と補償」 電気学会論文誌 D(産業応用部門誌), 134 巻, 4 号, p. 412-420, 2014.
- [18] 山本 吉朗, 篠原 勝次, 「PWM インバータ駆動 AC サーボモータのデッドタイムを考慮した解析法と出力電圧誤差補償」 電気学会論文誌 D(産業応用部門誌), 116 巻, 9 号, p. 924-933, 1996.
- [19] 萬年 智介, 藤田 英明, 「電圧形 PWM 変換器のデッドタイムに起因する電圧誤差補償法の系統連系時の動作特性」 電気学会論文誌 D(産業応用部門誌), 136 巻, 1 号, p. 46-53, 2016.
- [20] 武井 学, 小高 章弘, 藤本 久, 「逆阻止 IGBT の適用技術」, 富士時報, vol. 75, No. 8, pp.445-448, 2002.
- [21] F. Z. Peng, M. Shen, and Z. Qian, "Maximum boost control of the Z-source inverter," *IEEE Trans. Ind.*, Vol. 20, No. 4, pp. 833–838, Jul. 2005.
- [22] M. Shen, J. Wang, A. Joseph, F. Z. Peng, L. M. Tolbert, and D. J. Adams, "Constant boost control of the Z-source inverter to minimize current ripple and voltage stress," *IEEE Trans. Ind. Appl.*, Vol. 42, No. 3, pp. 770–778, May. 2006.
- [23] Poh Chiang Loh, D. M. Vilathgamuwa, Yue Sen Lai, Geok Tin Chua and Yunwei Li, "Pulse-Width Modulation of Z-Source Inverters," *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting.*, pp. 155, 2004.
- [24] Q. Zhang, S. Dong, P. Xue, C. Zhou, and S. Cheng, "Pulsewidth Modulation of Z-Source Inverters With Minimum Inductor Current Ripple," *in IEEE Transactions on Industrial Electronics*, vol. 61, no. 1, pp. 98–106, Jan. 2014.
- [25] Y. Liu, B. Ge, F. J. T. E. Ferreira, A. T. de Almeida and H. Abu-Rub, "Modeling and SVPWM control of quasi-Z-source inverter," *11th International Conference on Electrical Power Quality and Utilisation*, pp. 1–7, 2011.
- [26] J. Jung and A. Keyhani, "Control of a Fuel Cell Based Z-Source Converter," *IEEE Transactions on Energy Conversion*, vol. 22, no. 2, pp. 467-476, June 2007.
- [27] U. S. Ali and V. Kamaraj, "A novel space vector PWM for Z-source inverter," *Proc 1st Int. Conf. Electr. Energy Syst.*, Jan. 35, 2011, pp. 8285.
- [28] Y. Liu, B. Ge, H. Abu-Rub and F. Z. Peng, "Overview of Space Vector Modulations for Three-Phase Z-Source/Quasi-Z-Source Inverters," *in IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 2098–2108, Apr. 2014.
- [29] Q. Zhang, S. Dong, P. Xue, C. Zhou, and S. Cheng, "Novel MSVPWM to Reduce the Inductor Current Ripple for Z-Source Inverter in Electric Vehicle Applications," *in The Scientific World Journal*, vol. 2014, no. 4, pp. 1–8, Apr. 2014.
- [30] Y. P. Siwakoti and G. Town, "Improved modulation technique for voltage fed quasi-Z-source DC/DC converters," *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, Fort Worth, TX, 2014, pp. 1973-1978.
- [31] D. Vinnikov and I. Roasto, "Quasi-Z-source-based isolated DC/DC converters for distributed power generation," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 1, pp. 192–201, Jan. 2011.
- [32] Y. P. Siwakoti, F. Blaabjerg, P. C. Loh and G. E. Town, "A high voltage gain quasi Z-source isolated DC/DC converter," *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2441–2444, Jul. 2014.
- [33] P. C. Loh, F. Gao, F. Blaabjerg, S. Y. C. Feng and K. N. J. Soon, "Pulsewidth-Modulated Z-Source Neutral-Point-Clamped Inverter," *IEEE Transactions on Industry Applications*, vol. 43,

- no. 5, pp. 1295–1308, Sept.-oct. 2007.
- [34] F. B. Effah, P. Wheeler, J. Clare and A. Watson, “Space-Vector-Modulated Three-Level Inverters With a Single Z-Source Network,” *IEEE Transactions on Power Electronics*, vol. 28, no. 6, pp. 2806–2815, Jun. 2013.
 - [35] Y. Liu, B. Ge, H. A. Rub, and F. Z. Peng, “An effective control method for quasi-Z-source cascade multilevel inverter based grid tie single-phase photovoltaic power system,” *IEEE Transactions on Industrial Informatics*, vol. 10, no. 1, pp. 399–407, Feb. 2014.
 - [36] Fang Zheng Peng et al., “Z-source inverter for motor drives,” *IEEE Transactions on Power Electronics*, vol. 20, no. 4, pp. 857–863, July 2005.
 - [37] B. Ge, Q. Lei, W. Qian and F. Z. Peng, “A Family of Z-Source Matrix Converters,” *IEEE Transactions on Industrial Electronics*, vol. 59, no. 1, pp. 35–46, Jan. 2012.
 - [38] Xinping Ding, Zhaoming Qian, Yeyuan Xie and F. Z. Peng, “A novel ZVS Z-source rectifier,” *Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, 2006. APEC '06.*, pp. 1–6, Mar. 2006.
 - [39] J. Anderson and F. Z. Peng, “Four quasi-Z-Source inverters,” *2008 IEEE Power Electronics Specialists Conference*, pp. 2743–2749, Jun. 2008.
 - [40] C. J. Gajanayake, F. L. Luo, H. B. Gooi, P. L. So and L. K. Siow, “Extended-Boost Z-Source Inverters,” *IEEE Transactions on Power Electronics*, vol. 25, no. 10, pp. 2642–2652, Oct. 2010.
 - [41] C. J. Gajanayake, H. B. Gooi, F. L. Luo, P. L. So, L. K. Siow and Q. N. Vo, “Simple modulation and control method for new extended boost quasi Z-source,” *TENCON 2009 - 2009 IEEE Region 10 Conference*, pp. 1–6, Jun. 2009.
 - [42] M. Zhu, K. Yu and F. L. Luo, “Switched Inductor Z-Source Inverter,” *IEEE Transactions on Power Electronics*, vol. 25, no. 8, pp. 2150–2158, Aug. 2010.
 - [43] F. Gao, P. C. Loh, F. Blaabjerg and C. J. Gajanayake, “Operational analysis and comparative evaluation of embedded Z-Source inverters,” *2008 IEEE Power Electronics Specialists Conference*, pp. 2757–2763, Jun. 2008.
 - [44] P. C. Loh, N. Duan, C. Liang, F. Gao and F. Blaabjerg, “Z-Source B4 Inverters,” *2007 IEEE Power Electronics Specialists Conference*, pp. 1363–1369, Oct. 2008.
 - [45] D. Cao, S. Jiang, X. Yu and F. Z. Peng, “Low cost single-phase semi-Z-source inverter,” *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 429–436, Mar. 2011.
 - [46] H. Haimovich, R. H. Middleton and L. De Nicol, “Large-signal stability conditions for semi-quasi-Z-source inverters: Switched and averaged models,” *52nd IEEE Conference on Decision and Control*, pp. 5999–6004, Dec. 2013.
 - [47] L. Huang, M. Zhang, L. Hang, W. Yao and Z. Lu, “A Family of Three-Switch Three-State Single-Phase Z-Source Inverters,” *2008 IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2317–2329, May 2013.
 - [48] F. Zhang, F. Z. Peng and Z. Qian, “Z-H converter,” *2008 IEEE Power Electronics Specialists Conference*, pp. 1004–1007, Jun. 2008.
 - [49] S. Jiang and F. Z. Peng, “Transmission-line theory based distributed Z-source networks for power conversion,” *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1138–1145, Mar. 2011.
 - [50] Y. P. Siwakoti, P. C. Loh, F. Blaabjerg and G. E. Town, “Y-Source Impedance Network,” *IEEE Transactions on Power Electronics*, vol. 29, no. 7, pp. 3250–3254, July 2014.
 - [51] P. C. Loh, D. Li and F. Blaabjerg, “T-Z-Source Inverters,” *IEEE Transactions on Power*

- Electronics*, vol. 28, no. 11, pp. 4880–4884, Nov. 2013.
- [52] R. Strzelecki, M. Adamowicz, N. Strzelecka and W. Bury, “New type T-Source inverter,” *2009 Compatibility and Power Electronics*, pp. 191–195, May. 2009.
- [53] W. Qian, F. Z. Peng and H. Cha, “Trans-Z-Source Inverters,” *IEEE Transactions on Power Electronics*, vol. 26, no. 12, pp. 3453–3463, Dec. 2011.
- [54] M. Nguyen, Y. Lim and Y. Kim, “TZ-Source Inverters,” *IEEE Transactions on Industrial Electronics*, vol. 60, no. 12, pp. 5686–5695, Dec. 2013.
- [55] S. Jiang, D. Cao and F. Z. Peng, “High frequency transformer isolated Z-source inverters,” *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 442–449., Mar. 2011.
- [56] M. Adamowicz, R. Strzelecki, F. Z. Peng, J. Guzinski and H. A. Rub, “New type LCCT-Z-source inverters,” *Proceedings of the 2011 14th European Conference on Power Electronics and Applications*, pp. 1–10, Aug. 2011.
- [57] B. Hull, S. Allen, Q. Zhang, D. Gajewski, V. Pala, J. Richmond, S. Ryu, M. O’Loughlin, E. Van Brunt, L. Cheng, A. Burk, J. Casady, D. Grider and J. Palmour, “Reliability and stability of SiC power mosfets and next-generation SiC MOSFETs,” *2014 IEEE Workshop on Wide Bandgap Power Devices and Applications*, pp. 139–142, Oct. 2014.
- [58] SCH2080KE データシート
- [59] CCS050M12CM2 データシート
- [60] SCT2080KE データシート
- [61] 沈 凌鋒, 磯部 高範, 只野 博, 「SiC-MOSFET を用いた DC-DC コンバータにおけるゲート抵抗及び外付け SiC-SBD の有無とスイッチング損失の関係評価」平成 27 年電気学会産業応用部門大会, no. 1-47, pp. 223-224, 2016.
- [62] K. Yamaguchi, K. Katsura and T. Yamada, “Comprehensive evaluation and design of SiC-Based high power density inverter, 70kW/liter, 50kW/kg,” *2016 IEEE 8th International Power Electronics and Motion Control Conference*, pp. 1-7, May. 2016.
- [63] Y. Ebiike et al., “Reliability investigation with accelerated body diode current stress for 3.3 kV 4H-SiC MOSFETs with various buffer epilayer thickness,” *2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp.447-450, May 2018.
- [64] 俵 武志, 呂 民雅, 宮里 真樹, 「SiC-MOSFET のバイポーラ劣化抑制のためのバッファ層技術」富士電機技報, vol. 90, No. 4, pp.214-218, 2017.
- [65] K. Kawahara, S. Hino, K. Sadamatsu, Y. Nakao, Y. Yamashiro, Y. Yamamoto, T. Iwamatsu, S. Nakata, S. Tomohisa and S. Yamakawa, “6.5 kV schottky-barrier-diode-embedded SiC-MOSFET for compact full-unipolar module,” *2017 29th International Symposium on Power Semiconductor Devices and IC’s (ISPSD)*, pp. 41-44, May. 2017.
- [66] M. Uchida, N. Horikawa, K. Tanaka, K. Takahashi, T. Kiyosawa, M. Hayashi, M. Niwayama, O. Kusumoto, K. Adachi, C. Kudou and M. Kitabatake, “Novel SiC power MOSFET with integrated unipolar internal inverse MOS-channel diode,” *2011 International Electron Devices Meeting*, pp. 26.6.1-26.6.4, Dec. 2011.
- [67] T. Yamamoto, T. Sawai, K. Mizutani, N. Otsuka, E. Fujii, N. Horikawa, Y. Kanzawa, “A novel duality-based modeling methodology for reverse current-voltage characteristics of SiC,” *2014 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, pp. 53-56, Sept. 2014.
- [68] 丹羽 章雅, 今澤 孝則, 木村 友則, 笹谷 卓也, 磯部 高範, 只野 博, 「SiC-MOSFET の電流センス機能を用いたデッドタイム制御回路」電気学会論文誌 D(産業応用部門誌), 136 巻, 2 号, p. 145–151, 2016.

-
- [69] R. Iijima, T. Isobe and H. Tadano, "Loss comparison of Z-source inverter from the perspective of short-through mode implementation and type of switching device," *2015 IEEE 2nd International Future Energy Electronics Conference (IFEEEC)*, pp. 1–6, Nov. 2015.
 - [70] R. Iijima, T. Isobe and H. Tadano, "Loss analysis of Z-source inverter using SiC-MOSFET from the perspective of current path in the short-through mode," *2016 18th European Conference on Power Electronics and Applications*, pp. 1–10, Sep. 2016.
 - [71] Y. Zhang et al., "An Improved PWM Strategy for Z-Source Inverter With Maximum Boost Capability and Minimum Switching Frequency," *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 606–628, Jan. 2018.
 - [72] J. Rabkowski, "Improvement of Z-source inverter properties using advanced PWM methods," *2009 13th European Conference on Power Electronics and Applications*, Barcelona, 2009, pp. 1–9.
 - [73] O. Ellabban, J. Van Mierlo and P. Lataire, "A DSP-Based Dual-Loop Peak DC-link Voltage Control Strategy of the Z-Source Inverter," *IEEE Transactions on Power Electronics*, vol. 27, no. 9, pp. 4088–4097, Sept. 2012.
 - [74] A. Abdelhakim, P. Davari, F. Blaabjerg and P. Mattavelli, "An improved modulation strategy for the three-phase Z-source inverters (ZSIs)," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, 2017, pp. 4237–4243.
 - [75] Tatsuhiko and Fujihira, "Theory of Semiconductor Superjunction Devices," *Japanese journal of applied physics*, vol. 36, pp. 6254–6262, Oct. 1997.
 - [76] 田村 隆博, 澤田 睦美, 島藤 貴行, 「低損失 SJ-MOSFET Super-JMOS」 富士時報, vol 84 No. 5, 2011.
 - [77] 日経エレクトロニクス 「特集 : SiC パワー・デバイス 量産が本格化する SiC パワーデバイス」 <http://techon.nikkeibp.co.jp/>
 - [78] NE ハンドブックシリーズ パワー半導体 <http://www.rohm.co.jp/>
 - [79] L. Lorenz, G. Deboy, A. Knapp and M. März, "COOLMOSTM - a new milestone in high voltage Power MOS," *Proc. ISPSD'99*, pp. 3–10, Jun. 1999.
 - [80] P. Xue and G. Fu, "Analysis of the reverse recovery oscillation of superjunction MOSFET body diode," *Solid-State Electronics*, pp. 81–87, Dec. 1999.
 - [81] 餅川 宏, 小山 建夫, 「小型・低損失インバータを実現する新回路技術」, 東芝レビュー, vol. 61, No. 11, pp.32–29, Nov. 2006.
 - [82] 五十嵐, 近藤: 「回生パッシブスナバと SJ-MOSFET を併用した NPC インバータ」, 産業応用部門 半導体電力変換研究会, No.SPC-08-52, 2008.
 - [83] N. McNeill, X. Yuan and P. Anthony, "High-Efficiency NPC Multilevel Converter Using Super-Junction MOSFETs," *IEEE Trans. Ind.*, vol. 63, no. 1, pp.25–37, Jan. 2016.
 - [84] M. Olszewski, "Z-Source Inverter for Fuel Cell Vehicles", Oak Ridge National Laboratory, Sep. 2005.
 - [85] M. Shen and F. Z. Peng, "Operation Modes and Characteristics of the Z-Source Inverter With Small Inductance or Low Power Factor," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 1, pp. 89–96, Jan. 2008.
 - [86] Q. Lei, F. Z. Peng and S. Yang, "Discontinuous operation modes of current-fed Quasi-Z-Source inverter," *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 437–441, Mar. 2011.
 - [87] A. Abdelhakim, P. Davari, P. Mattavelli and F. Blaabjerg, "A high-performance Z-source inverter with low capacitor voltage stress and small inductance," *2018 IEEE Workshop on*

- Control and Modeling for Power Electronics - COMPEL 2018*, pp. 1–6, Sep. 2018.
- [88] L. Yang, D. Qiu, B. Zhang and G. Zhang, “A high-performance Z-source inverter with low capacitor voltage stress and small inductance,” *2014 IEEE Applied Power Electronics Conference and Exposition – APEC 2014*, pp. 2331-2337, Mar. 2014.
- [89] SIFERRIT material N87 データシート
- [90] PM 74/59 Core and accessories
- [91] PM 87/70 Core and accessories
- [92] IPW60R125CP データシート
- [93] IRG4PC40UD データシート
- [94] C3D20060D データシート
- [95] C3D30065D データシート
- [96] 濁川 厚志, 伊東 淳一, 「2つの断熱材容器を用いた低コストで高精度な熱量測定法の実験検証」, 電力技術/電力系統技術/半導体電力変換合同研究会, SPC-12-086 / MD-12-024, 2012.
- [97] M. Zdanowski, D. Peftitsis, S. Piasecki and J. Rabkowski, “On the Design Process of a 6-kVA Quasi-Z-inverter Employing SiC Power Devices,” *IEEE Transactions on Power Electronics*, vol. 31, no. 11, pp. 7499-7508, Nov. 2016.
- [98] Y. Zhou, H. Li and H. Li, “A Single-Phase PV Quasi-Z-Source Inverter With Reduced Capacitance Using Modified Modulation and Double-Frequency Ripple Suppression Control,” *IEEE Transactions on Power Electronics*, vol. 31, no. 3, pp. 2166-2173, March 2016.
- [99] L. Liu, H. Li, Y. Zhao, X. He and Z. J. Shen, “1 MHz cascaded Z-source inverters for scalable grid-interactive photovoltaic (PV) applications using GaN device,” *2011 IEEE Energy Conversion Congress and Exposition*, Phoenix, AZ, 2011, pp. 2738-2745.
- [100] 半田 悠樹, 三浦 友史, 石井 卓也, 上田 哲三, 伊瀬 敏史 「Z ソースインバータにおける GaN-HFET 適用時の有用性の評価」, 電力技術/電力系統技術/半導体電力変換合同研究会, PE-18-033 / PSE-18-009 / SPC-18-054, 2012.
- [101] H. Cha, Y. Li and F. Zheng Peng, “Practical Layouts and DC-Rail Voltage Clamping Techniques of Z-Source Inverters,” *IEEE Transactions on Power Electronics*, vol. 31, no. 11, pp. 7471-7479, Nov. 2016.
- [102] J. Liu, S. Jiang, D. Cao, X. Lu and F. Z. Peng, “Sliding-mode control of quasi-Z-source inverter with battery for renewable energy system,” *2011 IEEE Energy Conversion Congress and Exposition*, Phoenix, AZ, 2011, pp. 3665-3671.
- [103] C. J. Gajanayake, D. M. Vilathgamuwa and P. C. Loh, “Development of a Comprehensive Model and a Multiloop Controller for Z-Source Inverter DG Systems,” in *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 2352-2359, Aug. 2007.
- [104] C. W. T. McLyman, *Transformer and Inductor Design Handbook*, 3rd Ed., New York, NY: Marcel Dekker, 2004.

本論文に関連する発表論文

学術誌 (主著)

- 飯嶋竜司, 磯部高範, 只野博, 「SiC-MOSFET を用いた Z ソースインバータの上下短絡動作によるボディダイオード無通電運転」, 電気学会論文誌 D, Vol. 138 No. 3 pp. 250–256, 2018 年 3 月 1 日
- Ryuji Iijima, Takanori Isobe, Hiroshi Tadano Optimized Short-Through Time Distribution for Inductor Current Ripple Reduction in Z-Source Inverters Using Space-Vector Modulation (IEEE Transactions on Industry Applications にて 2018 年 1 月 13 日に Accepted, 同年 2 月 11 日より公開)

学術誌 (共著)

- 鴨志田 直樹, 飯嶋 竜司, 磯部 高範, 只野 博, 「Superjunction-MOSFET を用いた準 Z ソースインバータの損失解析」, 電気学会論文誌 D, Vol. 138 No. 5 pp. 463–470, 2018 年 5 月 1 日

国際会議 (主著)

- Ryuji Iijima, Takanori Isobe, Hiroshi Tadano, “Investigation of Eliminating Free-wheeling Diode Conduction of Z-source Inverter using SiC-MOSFET,” in *The 41st Annual Conference of the IEEE Industrial Electronics Society (IECON2015)*, Yokohama, Japan, 9-12 November 2015.
- Ryuji Iijima, Takanori Isobe, Hiroshi Tadano, “Loss Comparison of Z-source Inverter from the Perspective of Short-through Mode Implementation and Type of Switching Device,” in *IEEE International Future Energy Electronics Conference (IFEEEC2015)*, Taipei, Taiwan, 1-4 November 2015.
- Ryuji Iijima, Takanori Isobe, Hiroshi Tadano, “Loss analysis of Z-source inverter using SiC-MOSFET from the perspective of current path in the short-through mode” , in *EPE2016 ECCE Europe*, Karlsruhe, Germany, 5-9 September, 2016.
- Ryuji Iijima, Takanori Isobe, Hiroshi Tadano, “Optimized Short-Through Time Distribution for Inductor Current Ripple Reduction in Z-Source Inverter” in *IEEE Applied Power Electronics Conference and Exposition, (APEC 2018)*, March 4-8, 2017, Texas, U.S.A.
- Ryuji Iijima, Naoki Kamosihda, Rene Alexander Barrera Cardenas, Takanori Isobe, Hiroshi Tadano, “Evaluation of Inductor Losses on Z-source Inverter Considering AC and DC Components” in *International Power Electronics Conference, IPEC-Niigata 2018 -ECCE Asia-*, May 20-24, 2017, Niigata, Japan

- Ryuji Iijima, Naoki Kamoshida, Takanori Isobe, Hiroshi Tadano, “Loss Analysis of Quasi Z-source Inverter Using Superjunction-MOSFET”, in *EPE2018 ECCE Europe*, Riga, Latvia, 17-21 September, 2018.

国内会議 (主著)

- 飯嶋竜司, 磯部高範, 只野博, “Z ソースインバータにおける SiC-MOSFET の動作に関する検討,” パワーエレクトロニクス学会第 206 回定例研究会, 同志社大学今出川校地良心館, 2014 年 12 月 20 日
- 飯嶋竜司, 磯部高範, 只野博, “Z ソースインバータにおける上下短絡時のスイッチングパターンに関する検討,” 平成 27 年電気学会全国大会, 東京都市大学世田谷キャンパス, 2015 年 3 月 24 日～26 日
- 飯嶋竜司, 磯部高範, 只野博, “Z ソースインバータにおける上下短絡方式と半導体素子の違いによる発生損失の比較,” 平成 27 年電気学会産業応用部門大会, 大分大学旦野原キャンパス, 2015 年 9 月 2 日～9 月 4 日
- 飯嶋竜司, 磯部高範, 只野博, “q-Z ソースインバータにおける MOSFET を用いたダイオードの損失低減に関する実験的検討,” 平成 28 年電気学会全国大会, 東北大学 川内北キャンパス, 2016 年 3 月 16 日～3 月 18 日
- 飯嶋竜司, 磯部高範, 只野博, “SiC-MOSFET を用いた Z ソースインバータのボディダイオード無通電運転に関する検討,” 先進パワー半導体分科会 第 3 回講演会, つくば国際会議場, 2016 年 11 月 8 日
- 飯嶋竜司, 磯部高範, 只野博, “Superjunction MOSFET を用いたインバータの検討- Z ソーストポロジーの適用-,” 電力技術/電力系統技術/半導体電力変換合同研究会, 久米島 (イーフ情報プラザ交流ホール), 2017 年 3 月 8 日～3 月 10 日

特許

- セナナヤケ ティラク アナンダ, 只野 博, 飯嶋 竜司, 「負荷駆動回路, 負荷駆動システム及び負荷駆動方法」, 2016 年 9 月 1 日出願
- 只野 博, 飯嶋 竜司, 「インピーダンスソースインバータ制御装置、インピーダンスソースインバータ、制御方法、及びプログラム」, 2017 年 2 月 28 日出願

謝辞

本研究は、筑波大学大学院 数理物質科学研究科 電子・物理工学専攻 筑波大学パワーエレクトロニクス研究室において実施したものである。

本研究の遂行と本論文の執筆に至るまで、多くの助言をいただき、どんな時も温かく見守り背中を押して下さった指導教官である只野博教授に深く感謝致します。回路に関する技術的な議論や論文添削をはじめとする研究活動、研究室運営を進めていく上で必要な多くの技能や知恵について自ら範を示して下さった磯部高範准教授、本研究に対してデバイスの側から活発に多くのアイデアや可能性を示して下さった岩室憲幸教授、界面の研究から末端の応用までを見通し、デバイスや回路技術について多くの意見を下さった矢野裕司准教授、学振などをはじめとする博士課程の生活面について気にかけて下さった岡本大助教、そして、いつも大きな視点から研究の方針やあり方について意見を下さった嶋田隆一特命教授をはじめとする筑波大学パワーエレクトロニクス研究室の職員の方々に感謝致します。

本論文の副査を引き受けて下さり、様々な意見を下さいました産業技術総合研究所の山口浩教授、茨城大学の鶴野将年准教授に感謝致します。

Z ソースインバータの研究において、助言や実験のサポートをして下さった JSPS 研究員として在籍していた Rene Alexander Barrera Cardenas さんおよびセナナヤケ ティラク アナンダさんに感謝致します。

今回の研究の遂行と論文の執筆に協力してくれた鴨志田直樹君、高嶋薫君、李夢羽さん、そして研究室で共に切磋琢磨した同期、後輩の修士学生、学部生のみなさんに感謝致します。

博士後期課程に同時に社会人博士として入学し、EPE2016 のラボツアー等における会社の研究開発の紹介や論文執筆や投稿へのアドバイス、そして同じ高専ロボコン経験者として後輩学生の育成について議論下さった東芝インフラシステムズ株式会社の児山裕史さんに感謝致します。

博士後期課程在学中、私が全国のパワーエレクトロニクス研究室との交流の幅を広げるきっかけとなり、代表を務めさせていただいた Ph.D. candidates of Power Electronics in Japan (PPEJ) のメンバーのみなさんに感謝致します。みなさんのおかげで EPE2016 でのアーヘン工科大学へのラボツアーや IPEC Niigata 2018 での若手交流イベントの企画運営をはじめとする多くのことに挑戦することが出来ました。今後も PPEJ が更なる活動の幅を広げていくことを願っています。そして、PPEJ の活動を日々支えて下さった東京理科大学の萬年智介助教、横浜国立大学の小原秀嶺助教に感謝致します。

私がパワーエレクトロニクスへの道を歩むきっかけとなり、電気自動車レースへや学会発表をはじめとする多くの学ぶ機会を与えてくださいました茨城工業高等専門学校の成慶教授に感謝致します。

最後に私の博士後期課程への進学と研究活動に理解を示し、いつも温かく見守ってくれた家族に深く感謝致します。